



**Desenvolupament d'un element translineal d'alt  
ample de banda per al processat de senyal de MEMS i  
dels seus circuits associats.**

Marc Riera Baylach

Directors:

Daniel Fernández Martínez

Jordi Madrenas Boadas

Escola Tècnica Superior d'Enginyeria de Telecomunicació de  
Barcelona (ETSETB)  
Departament d'Enginyeria Electrònica  
Universitat Politècnica de Catalunya  
Curs 2009 – 2010

## 0. Índex

### 1. Introducció

#### 1.1. Interfície VLSI per MEMS, Mètode de control per actuadors electrostàtics MEMS

##### 1.1.1. Principi de funcionament dels actuadors electrostàtics de plaques paral·leles

##### 1.1.2. Mètode de control proposat

#### 1.2. Diagrama de blocs del sistema complet

### 2. Principi translineal en transistors MOS

#### 2.1. Què és un element translineal?

#### 2.2. Notació i representació dels elements translineals

#### 2.3. Principis d'anàlisi per un circuit translineal

### 3. L'element translineal d'ample marge dinàmic.

#### 3.1. Principis de funcionament

#### 3.2. Simulació de l'ET

### 4. Disseny dels operadors bàsics aprofitant el principi de translinealitat

#### 4.1. Suma i diferència d'un sol quadrant

#### 4.2. Producte i divisió d'un sol quadrant

#### 4.3. Quadrat d'un sol quadrant

#### 4.4. Arrel quadrada d'un sol quadrant

#### 4.5. Producte de dos quadrants

### 5. Layouts

#### 5.1. Principis dels layouts

##### 5.1.1. Layouts dels transistors.

##### 5.1.2. Les capacitats

#### 5.2. Normes de disseny (DRC)

#### 5.3. Esquemes bàsics utilitzats en la implementació.

5.3.1. Common-centroid layout

5.3.2. Corona de pous P

5.3.3. Principis dels layouts analògics

5.4. Layout de l'element translineal

5.5. Altres layouts

5.5.1. Registre de desplaçament de 4 bits. Calibració dels corrents en el futur xip  
element translineal

5.5.2. Buffers d'E/S

5.6. Layout Complet

6. Conclusions

7. Bibliografia

## 1. Introducció

La realització d'aquest projecte parteix del mètode de control de l'estàtica i la dinàmica per actuadors electrostàtics MEMS per posicionament analògic proposat per Daniel Fernández i Jordi Madrenas en el paper "Position, damping and inertia control of parallel-plate electrostatic actuators" [1].

Aquesta implementació sorgeix de l'estudi de la dependència existent dels paràmetres dinàmics naturals de l'actuador, és a dir, constant elàstica, amortiguament i massa, i més concretament dels afectes en paràmetres com la freqüència de ressonància, el temps de resposta, etc; que sols són modificables dins uns marges limitats i sempre dins del procés inicial de disseny de l'actuador.

El mètode proposat permet modificar a nivell electrònic els coeficients de l'equació diferencial del moviment, que en el cas d'un actuador electrostàtic de plaques paral·leles, tal com ja s'ha anunciat, permetent un ajust dinàmic dels seus paràmetres naturals amb les úniques limitacions que les imposades per la pròpia circuiteria electrònica necessària en la seva implementació.

Aquest PFC preten avaluar la implementació del mètode de control mitjançant la utilització d'elements translineals com a nucli de procés en els seus blocs bàsics. Amb això, una de les particularitats del disseny que es proposa és que es vol que sigui realitzat en mode corrent, aprofitant el principi de translinealitat i amb circuiteria MOS, ja que així aconseguim una simplificació considerable en la implementació d'operacions bàsiques tals com les multiplicacions i divisions que amb altres estratègies presenten una complexitat considerable.

En el primer capítol es presenta un Mètode de control per actuadors electrostàtics MEMS i el seu diagrama de blocs per implementar-lo. A continuació, s'estudia com són els elements translineals i com es pot treballar amb ells, per tal de centrar-nos en el següent capítol en l'implementació de l'element translineal d'alt ample de banda i la caracterització de cada un dels paràmetres circuitals mitjançant les simulacions per aconseguir el funcionament adequat.



Un cop caracteritzats els paràmetres utilitzarem aquest element translineal per dissenyar els operadors matemàtics necessaris per implementar el mètode i simular-ne els seus resultats.

Finalment es presenten els layouts necessaris per la implementació de l'element translineal i d'alguns dels seus circuits associats

## 1.1. Interfície VLSI per MEMS, Mètode de control per a actuadors electrostàtics MEMS

### 1.1.1. Principis de funcionament dels actuadors electrostàtics de plaques paral·leles.

Els actuadors electrostàtics són microsisemes molt utilitzats per sintonitzar i/o ajustar dispositius que requereixen el desplaçament físic d'alguna de les seves parts (capçals de disc dur, filtres òptics, diferents tipus de microinterruptors,...) Es pot entendre la seva estructura com un condensador pla on una de les dues armadures es troba fixada mentre que l'altre és flexible i lliure de moure's en algun eix.

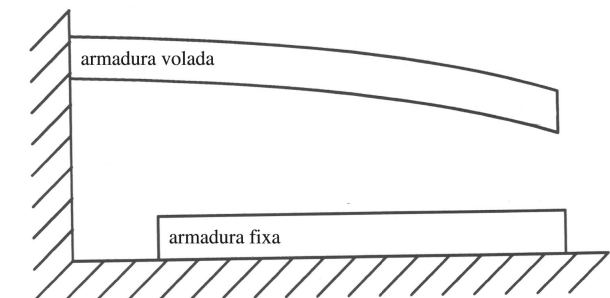


Fig. 1.1. esquema actuador electrostàtic i identificació de les dues armadures.

A nivell físic, el seu comportament pot ser estudiat considerant que sobre el sistema actuen exclusivament tres forces. Una primera força caracteritzada com la força de recuperació d'una molla que segueix la llei de Hooke ( $\vec{F}_m$ ), una segona força caracteritzada com una força elèctrica entre les dues armadures que sorgeix com a resultat de l'aplicació del teorema de Gauss ( $\vec{F}_e$ ) i finalment una força caracteritzada com una força de fricció viscosa ( $\vec{F}_f$ ).

La força de recuperació de la molla caracteritza la força amb que l'armadura volada tendeix a recuperar la seva posició de repòs. L'expressió d'aquesta força es representada per:  $\vec{F}_m = -k \cdot \vec{x}$  (1.1.), on la  $k$  representa la constant elàstica de l'armadura volada i  $\vec{x}$  correspon al vector de desplaçament de l'armadura respecte a la seva posició de repòs.

D'altra banda la força elèctrica segueix la forma de  $\vec{F}_e = q \cdot \vec{E}$  (1.2.), on es considera que  $q$  correspon a la càrrega puntual que presenta i  $\vec{E}$  és el camp elèctric que es pot aïllar de l'aplicació del teorema de Gauss sobre un cilindre recte  $\oint \vec{E} \cdot d\vec{s} = \frac{Q_i}{\epsilon_0}$  que té situada la seva base fora de les dues armadures del sistema. En aquesta fórmula la variable  $Q_i$  com la càrrega a l'interior del cilindre i  $\epsilon_0$  com la permitivitat de l'espai lliure.

D'altra banda, partint de la definició del condensador pla  $C = \frac{Q}{V} = \frac{\epsilon_0 A}{g}$  (1.3.), es defineix la separació existent entre les armadures per  $g$  i l'àrea de l'armadura per  $A$ . Aquí, s'observa com la capacitat depèn exclusivament de les variables geomètriques del sistema i per tant es pot aconseguir definir la força elèctrica independentment de la distància, tot i que no s'ha d'oblidar que la càrrega depèn de la capacitat i aquesta en darrer temps també depèn de la distància. Així es pot observar la expressió (1.4.) que modelitza quin és el comportament a nivell estàtic d'aquesta força elèctrica.

$$|\vec{F}_e| = \frac{\epsilon_0 A V^2}{2g^2} = \frac{Q^2}{2\epsilon_0 A} \quad (1.4.)$$

Finalment, la força de fricció depèn de la geometria de la volada i de la velocitat a la que es mou. Aquesta força és considerada per poder estudiar-ne el seu comportament dinàmic. Per fer-ho, es defineix el paràmetre  $b$  com a coeficient d'amortiguació i per tant s'obté la següent expressió per la força de fricció.

$$\vec{F}_f = -b \cdot v \quad (1.5.)$$

Així doncs, ajuntant les tres expressions anteriors [(1.1.), (1.4.), (1.5.)] corresponents a les diferents forces que intervenen en aquest model matemàtic es pot crear un model mecànic equivalent (fig. 1.2.) complet que caracteritza l'actuador electrostàtic de dues armadures. Considerant que la força resultant final ve definida  $\vec{F} = m \cdot \vec{a}$  pel vector acceleració  $\vec{a}$  i  $m$  la massa de la part mòbil l'expressió queda com:

$$\vec{F} = \vec{F}_e + \vec{F}_m + \vec{F}_f = m\vec{a}$$

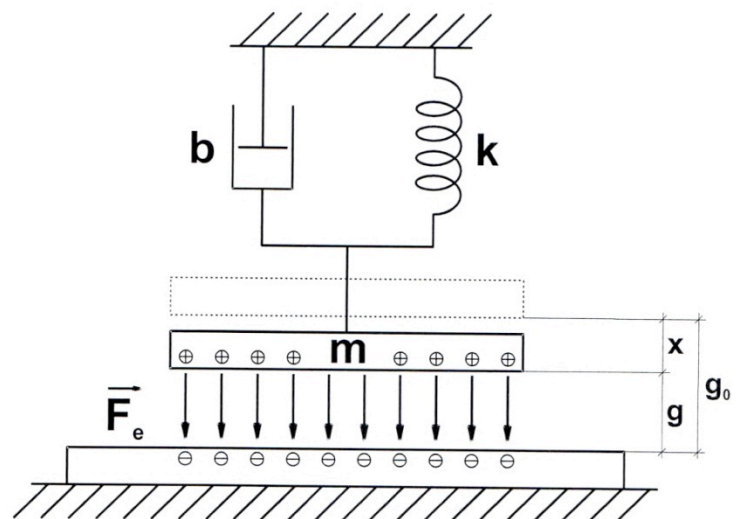


Fig. 1.2. Model mecànic de l'actuador electrostàtic de dues armadures.

Quan s'analitza aquesta expressió s'observa com s'obté una equació diferencial del sistema complet que ens defineix el comportament dinàmic del nostre sistema. Si a

més es considera el fet que la força elèctrica no presenta variacions en funció de la seva posició, l'equació diferencial queda simplificada de la següent manera:

$$m \cdot \frac{d^2 \vec{x}}{dt^2} + b \cdot \frac{d\vec{x}}{dt} + k \cdot \vec{x} = \left[ \vec{F}_e \right] \quad (1.6.)$$

De la solució general a l'anterior equació (1.6.) del sistema complet sotmès a una excitació amb poca dependència del temps, se n'obté una família de solucions del tipus d'oscil·ladors esmorteïts. En aquests tipus de sistemes normalment es treballa definint els paràmetres pulsació natural, esmorteïment i factor de qualitat, que són utilitzats per facilitar-ne l'anàlisi.

Per tant, s'aprofita aquesta relació entre la força elèctrica i la distància (la relació que estableix  $Q$  amb la distància) i el fet que el posicionament es trobi en un punt instable (punt de pull-in) per definir el mètode proposat.

### 1.1.2. Mètode de control proposat

El mètode de control proposat consisteix en utilitzar una llei de realimentació que no alteri la dinàmica natural de l'actuador electrostàtic, per així, aconseguir afegir una variable addicional corresponent a la posició desitjada per l'actuador respecte a la posició de repòs ( $g_0$ ), que s'encarregarà de modificar el punt d'equilibri natural del sistema i per tant permetre desplaçar-lo de manera controlada allí on ens interressi.

Per trobar la tensió que fa que l'actuador segueixi l'anterior anunciat caldrà començar amb l'expressió de l'equació del moviment de l'actuador (1.6.) afegint una variable que correspondrà a la posició desitjada respecte a la posició del sistema en repòs i que s'anomena com a  $p$ ; aleshores queda com  $m \cdot \frac{d^2 \vec{x}}{dt^2} + b \cdot \frac{d\vec{x}}{dt} + k \cdot (\vec{x} - p) = 0$ . Si en l'expressió resultant s'aïlla la força elèctrica necessària i s'utilitza la relació força-tensió, es troba la tensió que ens ofereix aquesta posició desitjada.

$$V(p, g) = g \sqrt{p} \sqrt{\frac{2k}{\epsilon_0 A}} \quad (1.7.)$$

Es pot operar de la mateixa manera i estendre aquest control als paràmetres viscositat i massa afegint de la mateixa manera dos nous paràmetres ( $m_{sl}$  i  $b_{sl}$ ) i així aconseguir controlar millor la resposta dinàmica global de l'actuador.

$$(m + m_{sl}) \frac{d^2 x}{dt^2} + (b + b_{sl}) \frac{dx}{dt} + k(x - p) = 0 \quad (1.8.)$$

$$V(p, b_{sl}, m_{sl}, g) = g \sqrt{\frac{2}{\varepsilon_0 A}} \sqrt{k p + b_{sl} \frac{dg}{dt} + m_{sl} \frac{d^2 g}{dt^2}} \quad (1.9)$$

Amb aquesta darrera modificació s'aconsegueix que tots els paràmetres de l'equació diferencial del moviment siguin ajustables a la nostra voluntat. ( $p$ ,  $m_{sl}$  i  $b_{sl}$ ). L'altre valor de l'entrada del sistema és la posició de l'actuador  $g$  en cada instant. Per tant és necessari definir una estimació de la distància entre armadures en un determinat instant.

Per realitzar aquesta estimació el treball es basa en dues propostes exposades a "Pulse- Drive and Capacitive Measurement Circuit For MEMS Electrostatic Actuators" [2], la primera fonamentada en l'estimador directe i la segona ajudant-se d'una capacitat en sèrie.

L'estimador directe parteix de la pròpia definició de condensador pla, que estableix una relació entre distància i capacitat, on es pot afegir la relació existent entre la càrrega i la tensió/corrent (1.3.) per després d'operar i aïllar la distància a estimar  $g(t) = \varepsilon_0 A \frac{1}{C(t)} = \varepsilon_0 A \frac{V(t)}{\int_{-\infty}^t I dt}$  (1.10.) s'obté una estimació de la posició en un determinat

instant de temps en funció de la geometria, la tensió i el corrent a l'actuador en aquest

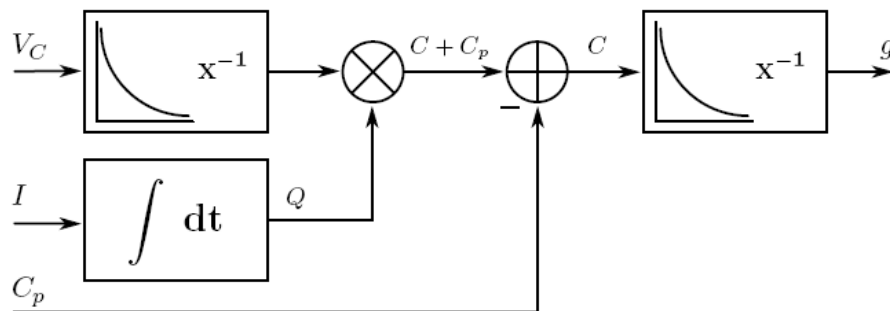


Fig. 1.4. diagrama de blocs del model de l'estimador directe, a part de les variables ja esmentades també es considera l'existència d'una capacitat paràsita ( $C_p$ )

instant. Aquesta expressió la podem caracteritzar amb diagrama de blocs representat a la figura 1.4.

L'altra proposta d'estimador, permet estalviar-nos la problemàtica d'haver de mesurar els corrents que circulen per l'actuador. Això s'aconsegueix situant una capacitat  $C_s$  en sèrie amb l'actuador (fig. 1.5.).

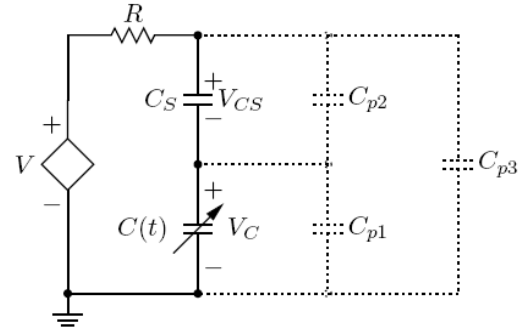


Fig. 1.5. diagrama de la situació de les capacitats tal com proposa la implementació. Al mateix temps també es visualitzen les capacitats paràsites.

En aquesta proposta l'estimador no necessita detectar els corrents, que es poden calcular utilitzant exclusivament les tensions que trobem a la capacitat en sèrie i a la capacitat pròpia de l'estimador.

L'expressió de l'estimació de la posició segons aquesta altra proposta queda caracteritzada per la següent equació, que pot ser implementada segons el diagrama que l'acompanya. (fig. 1.6.)

$$g(t) = \frac{\epsilon_0 A}{\frac{C_s + C_{p2}}{V(t)} V_{CS}(t) - C_{p1}} \quad (1.11)$$

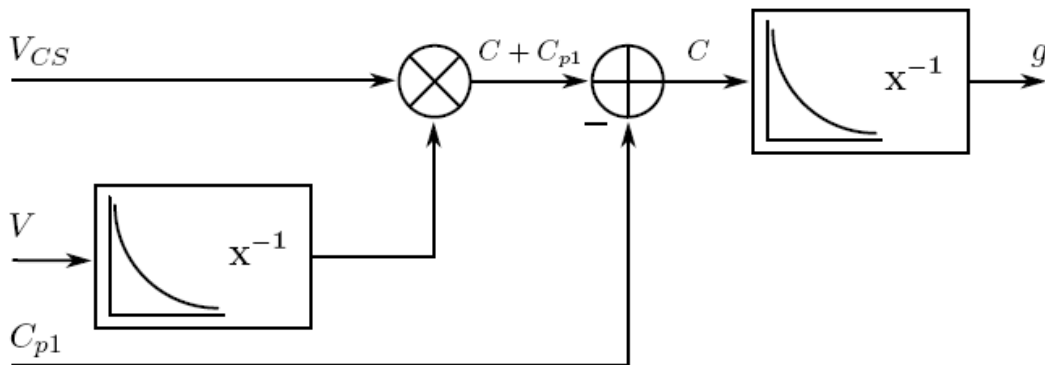


Fig. 1.6. diagrama de blocs del model de l'estimador mitjançant la capacitat en sèrie, a part de les variables ja esmentades també es considera l'existència d'una capacitat paràsit (Cp1)

## 1.2. Diagrama de blocs del sistema complet.

Així doncs, unint les expressions comentades es troba l'esquema complet, des de l'estimació de la posició de l'actuador fins a la generació de la tensió per tal que es comporti tal com es desitja. A l'esquema següent cal afegir-hi un dels dos esquemes d'estimació de  $g$  proposats.

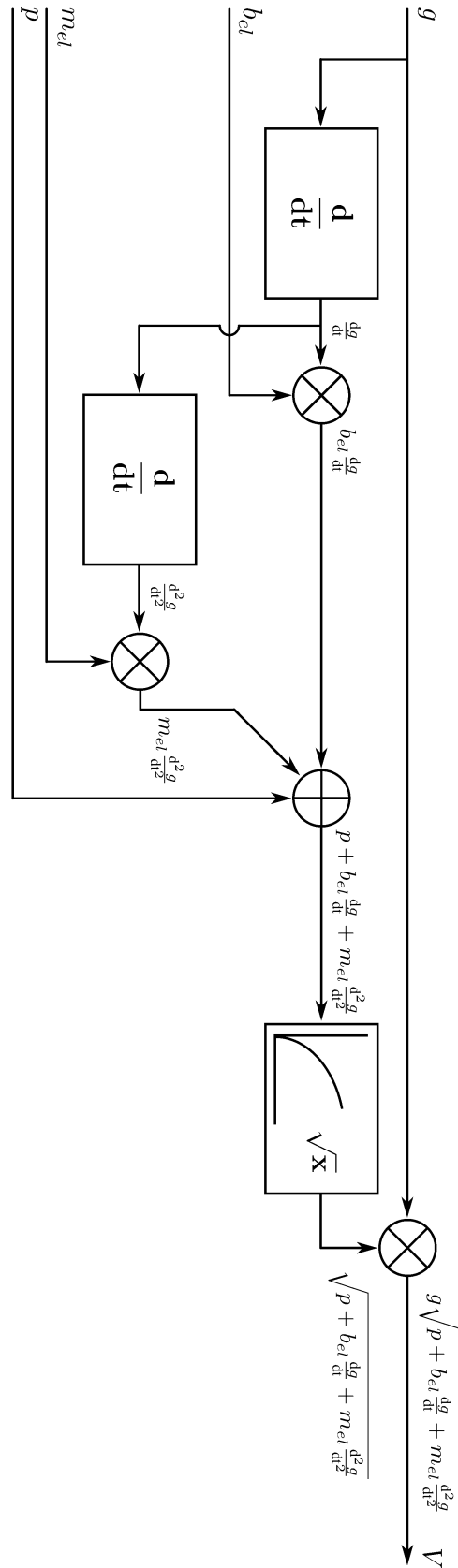


Fig. 1.7. diagrama de blocs del sistema complet format pel mètode de control, caldrà afegir-hi un dels dos estimadors proposats.

## 2. Principi translineal en transistors MOS

Ara es mostrarà com la tecnologia translineal permet implementar les primitives bàsiques, requerides pel mètode de control, com són el multiplicador, divisor, arrel quadrada, .... i les seves conbinacions.

### 2.1. Què és un element translineal?

S'entén per element translineal (ET) aquells circuits que presenten una relació

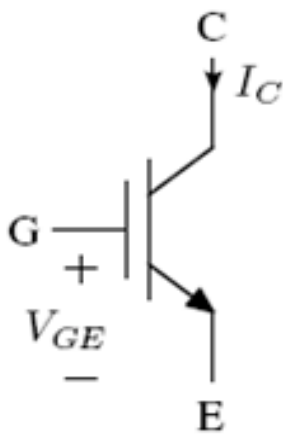


Fig. 2.1. Símbol circuital de l'element translineal. Per raons històriques els seus terminals s'anomenen porta G, emissor E i col·lector C. A més podem observar les variables elèctriques significatives com la  $V_{GE}$  tensió entre porta i emissor, i el corrent de col·lector  $I_C$

exponencial entre tensió i corrent en la seva característica circuital. En la seva forma ideal, es considera com un element de tres terminals que uneix propietats dels transistors MOS i Bipolars, dels quals hereta els noms dels seus terminals. Entre altres propietats cal destacar que en el seu model ideal presenten un ample de banda infinit, un corrent de porta nul i una relació exponencial entre el corrent de col·lector i la diferència de tensió entre porta i emissor

$I_C = \lambda I_0 e^{\eta \frac{V_{GE}}{u_T}}$  (2.1). En aquesta expressió  $I_0$  correspon al corrent específic i  $u_T$  és la tensió tèrmica del transistor, mentre que els paràmetres  $\lambda, \eta$  són magnituds

adimensionals que depenen de la implementació concreta de cada element translineal. La seva representació circuital acostuma a ser la de la figura 2.1. Aquesta representació recorda a la del transistor bipolar IGBT, doncs recull la característica exponencial i l'existència de la porta aïllada en la seva representació i per tant en facilita la seva interpretació.



## 2.2. Notació i representació de l'element translineal.

Per tal de simplificar-ne la notació i poder operar amb ells d'una manera més còmode, es defineix el número adimensional  $z$  com el coeficient entre un determinat corrent  $I_z$  i el corrent unitari  $I_u$  comú per tot el disseny. Així doncs queda definit que el número  $z = \frac{I_z}{I_u}$  (2.2.) prendrà el valor “1” quan el corrent que hi circuli sigui l'unitari.

$$z = 1 \Leftrightarrow I_z = I_u \quad (2.3.)$$

Com ja s'ha comentat, la relació entre la tensió d'entrada i el corrent és exponencial/logarítmica la qual cosa obliga a que el corrent que circuli per l'element translineal hagi de ser estrictament positiu. Per tant, per poder treballar amb corrents negatius es realitzen unes petites adaptacions als corrents amb els que es treballa. (Fig. 2.2.) Aquest canvi consisteix en sumar un corrent d'off-set, per garantir que la suma del corrent més l'off-set sempre sigui estrictament positiu.

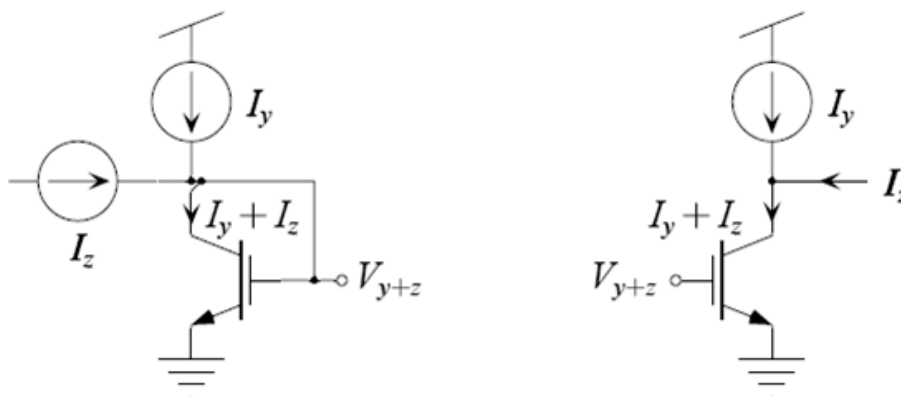


Fig.

2.2. Representació de l'entrada i la sortida, respectivament, d'un sistema Translineal mitjançant un off-set. El corrent  $I_z$  pot prendre valors positius i negatius de tal manera que el corrent  $I_z + I_y$  es mantén sempre positiu

## 2.3. Principis d'anàlisis per un circuit translineal

Per realitzar aquests anàlisis es seguirà el technical report “Analysis and Synthesis of Static Translineal Cricuits” de Bradley A. Mich [3] on es descriu un mètode de síntesis per sistemes translineals. Aquest mètode comença definint un llaç teòric format per  $N$

elements translineals ordenats de tal manera que el corrent que circula pels diferents elements consecutius sigui sempre oposat al seu anterior (Fig. 2.3.).

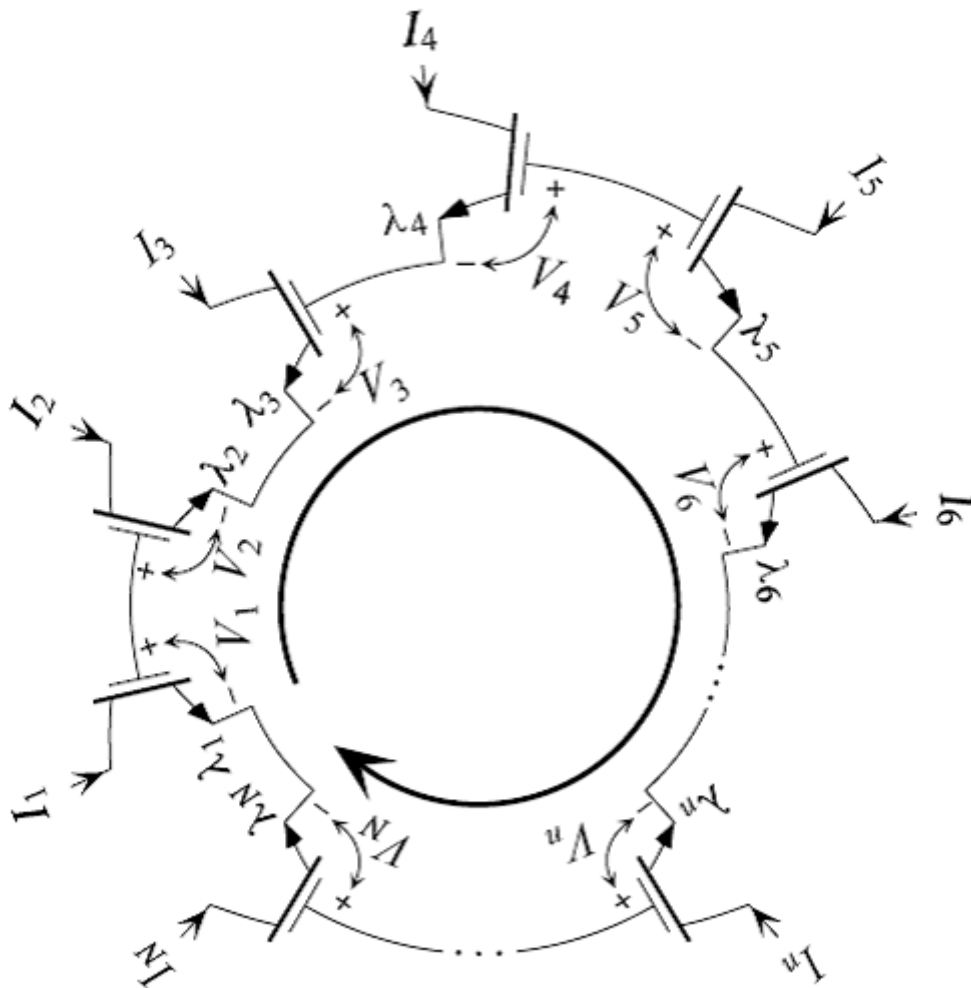


Fig. 2.3. esquema conceptual del llaç translineal tal com és recorregut per l'anàlisi

Pel seu correcte anàlisi s'ha de recórrer tots els elements translineals del circuit en un únic sentit i seguint el mateix llaç tancat.

Es defineix com elements antihoraris (CCW) tots aquells elements translineals que el sentit del corrent que els recorra ha sigut contrari al sentit del llaç tancat utilitzat per l'anàlisi. De manera anàloga els elements horaris (CW) com aquells que són recorreguts en el mateix sentit que el seu corrent. A partir d'aquest punt, els  $N$  elements recorreguts es divideixen en dos grups: els horaris i els antihoraris ( $N = N_{cw} + N_{ccw}$ ), on  $N_{cw}$  i  $N_{ccw}$  corresponen respectivament al nombre d'elements translineals recorreguts horàriament i antihoràriament. Si s'apliquen les lleis de Kirchhoff a la malla

resultant podem observar com compleix l'equació:  $\sum_{n \in CCW} V_n = \sum_{n \in CW} V_n$ , on  $V_i$  correspon a la tensió entre porta i emissor de l'element translineal  $i$ -èssim.

Si s'aïlla a l'expressió de la relació entre tensió porta - emissor i corrent de col·lector (2.1.) la tensió entre porta i emissor, s'obté l'expressió  $V_i = \frac{V_T}{\eta} \log\left(\frac{I_i}{\lambda_i I_S}\right)$  i en substituir-los en l'expressió resultant de l'aplicació de Kirchhoff s'obté:

$$\sum_{n \in CCW} \left( \frac{V_T}{\eta} \log\left(\frac{I_n}{\lambda_i I_S}\right) \right) = \sum_{n \in CW} \left( \frac{V_T}{\eta} \log\left(\frac{I_n}{\lambda_i I_S}\right) \right)$$

I aprofitant una de les propietats bàsiques dels logaritmes és que la suma de logaritmes és igual al logaritme del producte dels seus arguments. Si tots els elements translineals es troben a la mateixa temperatura es pot trobar el factor comú  $\frac{V_T}{\eta}$  en ambdós costats de la igualtat i per tant, es poden compensar entre ells podem reorganitzar l'expressió com:

$$\log \prod_{n \in CCW} \frac{I_n}{\lambda_i I_S} = \log \prod_{n \in CW} \frac{I_n}{\lambda_i I_S} \quad (2.4.)$$

En aquesta situació s'aplica l'exponencial als dos costats de la igualtat i reorganitzant tots els elements es pot obtenir l'expressió:

$$\prod_{n \in CCW} \frac{I_n}{\lambda_i} = I_S^{N_{CCW} - N_{CW}} \prod_{n \in CW} \frac{I_n}{\lambda_i} \quad (2.5.)$$

Com que en la majoria dels casos el número d'elements recorreguts en un i altre sentit serà el mateix també desapareix la dependència del corrent propi, a més si suposem que tots els elements presenten els mateixos paràmetres físics desapareix també la dependència respecte  $\lambda$  arribant a la següent expressió:

$$\prod_{n \in CCW} I_n = \prod_{n \in CW} I_n \quad (2.6.)$$

Aquesta expressió ens diu que el producte dels corrents recorreguts en un sentit és igual a la dels productes recorreguts en sentit contrari, sempre i quan hi hagi el mateix

nombre d'elements en cada un dels sentits. Aquesta expressió serà la base per als futurs dissenys.

### **3. L'element translineal d'ample marge dinàmic**

#### **3.1. Principis de funcionament**

L'objectiu final d'aquest disseny és la implementació d'un element translineal d'ample marge dinàmic basant-nos en la proposta d'implementació de la patent “Método y Circuito para Implementar un Elemento Translineal con Tecnología CMOS” [4] , i paper “A MOSFET-Based, Wide Dynamic Range, Translinear Element” [5].

Aquesta proposta d'implementació pretén utilitzar un transistor d'efecte de camp MOS com element translineal, realitzant una realimentació de la tensió a la porta (G) amb la tensió de sortida a l'emissor (E) del mateix transistor. Aquesta realimentació es fa de tal manera que es compensi la transconductància normalitzada que sofreixen els transistors en augmentar el corrent que circula per ells. El fet que es realitzi aquesta predistorsió ens permet estendre el marge de corrents pels quals el transistor manté la corba característica tensió-corrent de forma exponencial i que necessitem perquè es comporti com un element translineal.

El principi bàsic de funcionament es troba en la invenció de la predistorsió, que permet corregir la corba d'un transistor MOS de dimensions raonables, és a dir, evitar la necessitat d'utilitzar transistors amb una relació d'aspecte W/L excessivament gran o en cascada que afegeixen problemes per l'àrea que ocupen., l'ample de banda o les capacitats paràsites que es generen.

Per realitzar aquesta distorsió es parteix del transistor MOS (anomenat de sortida), el drenador i sortidor del qual coincideixen amb el drenador i sortidor de l'element translineal, tal com s'observa en la figura (fig 3.1.). En aquesta situació, es valora la tensió de porta i emissor de l'element translineal que anirà a recaure sobre la porta del transistor de sortida.

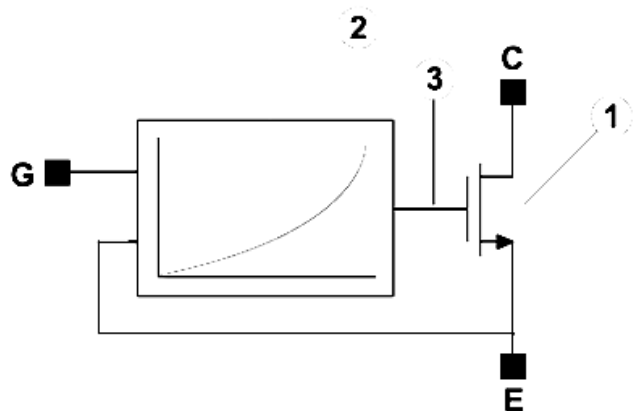


Fig 3.1. en aquesta figura s'observa l'arquitectura bàsica de l'element translineal CMOS. Observem el transistor MOS de sortida (1) amb el drenador connectat al col·lector de l'element translineal (C), el sortidor del qual es troba connectat a l'emissor de l'element translineal (E) i la porta del transistor MOS (3) és alimentada per la sortida del circuit de predisposició (2).

A partir d'aquí es continua amb la implementació preferida de la patent [4] que segueix l'esquema de la figura 3.2. En aquest es poden identificar els terminats de l'element translineal (G, E, C). També es pot identificar el transistor responsable de fixar el corrent de drenador de l'element translineal (M1)

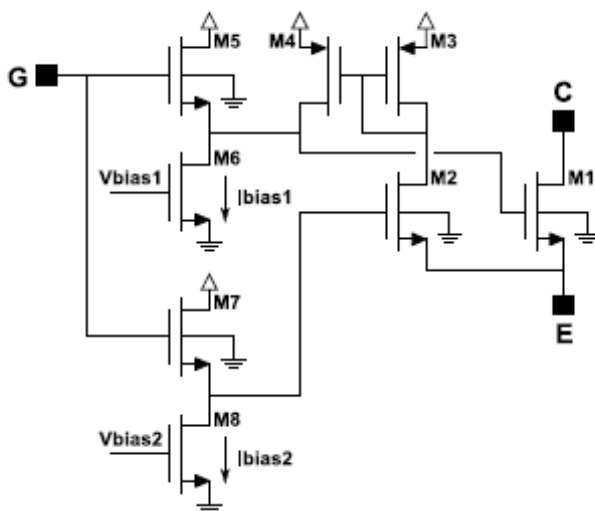


Fig. 3.2. esquema circuital de l'element translineal d'ample marge dinàmic proposat a [4]

Si es continua analitzant els diferents transistors existents es pot identificar el transistor M2, que fa de transistor de referència per realitzar la predistorsió necessària per corregir la corba característica del transistor MOS de sortida. La tensió a la porta de M2 segueix la tensió de porta de l'element translineal amb una caiguda de tensió constant provocada pel transistor M7 i la font de polarització associada

implementada pel transistor M8. El corrent drenat per aquest transistor de referència M2 s'injecta en el transistor M5 que realitza funcions de seguidor de tensió amb la seva font de corrent associada del transistor M6, que li arriba a través del mirall de corrent

que formen els transistors M3 i M4. La tensió de sortida del seguidor M5 s'utilitza per fixar la tensió de porta del transistor de sortida, i depèn tant de la tensió de porta com del corrent que circula pel transistor M2.

L'anàlisi d'un circuit d'aquestes característiques és molt complex doncs no existeixen models matemàtics tractables que cobreixin tot el marge de funcionament del transistor MOS. Però es pot realitzar una explicació a nivell qualitatiu. Quan augmenta la tensió entre porta i emisor (VGE) el corrent que circula en el drenador del transistor M2 també augmenta la tensió en el sortidor del transistor M5. Aquest augment es produirà d'una manera més ràpida gràcies a la injecció de corrent provinent del mirall format pels transistors M3 i M4, augmentant conjuntament la tensió a la porta M1 i compensant la seva pèrdua de transconductància.

### 3.2. Simulació de l'ET

La primera simulació (Fig 3.3.) correspon a la corba característica de l'element translineal comparada amb la d'un transistor MOS de les mateixes dimensions. S'hi pot observar com treballa amb unes tensions més elevades i que la pendent és una mica més petita que el transistor MOS, fet que es tradueix en una pitjor compressió logarítmica.

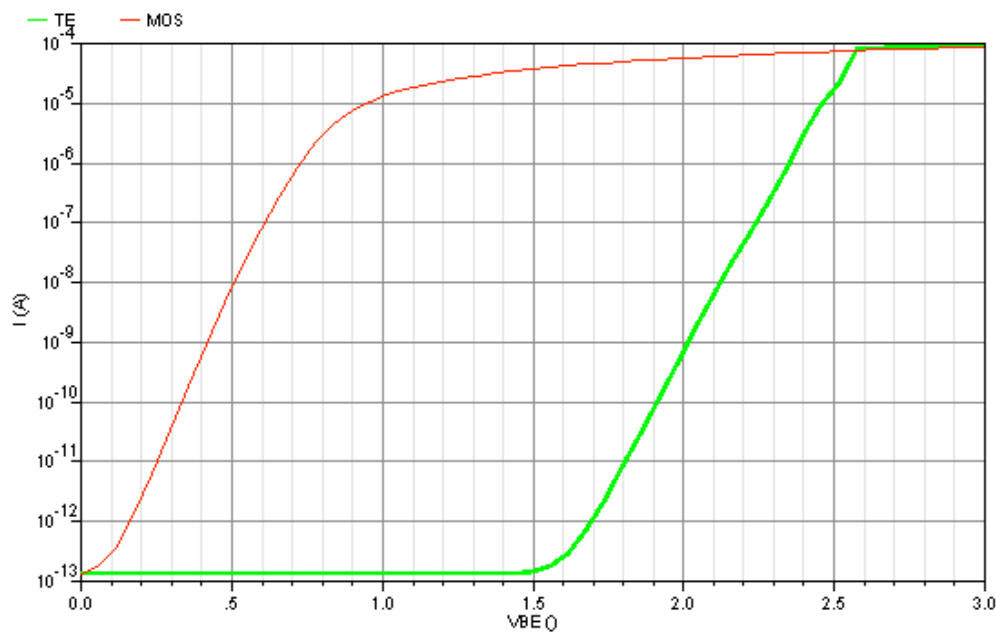


Fig. 3.3. Simulació de la corba característica de l'ET i la d'un transistor MOS de les mateixes dimensions que el transistor de sortida M1 de l'element translineal comentat. A l'eix vertical s'observa el corrent de col·lector (o drenador) i a l'eix horitzontal la tensió porta-emissor. S'observa com l'ET (verd) s'aproxima millor a la corba exponencial, però que necessitarà treballar amb unes tensions més elevades que no pas amb els transistors MOS.

A continuació s'analitzen els diferents resultats de les simulacions dels paràmetres dels transistors i capacitats que conformen el disseny de l'ET. Començant pel seu transistor de sortida M1 (Fig 3.4.) en augmentar la seva amplada, la corba es desplaça cap a l'esquerra i per tant oferirà uns corrents més elevats sense arribar a saturar-se. Si fem el mateix amb l'amplada dels transistors M2 (Fig. 3.5) o la longitud del transistor M7 (Fig.3.7.), que realitza les funcions del seguidor de tensió en el disseny, en tots dos casos augmenta la pendent de la meitat superior de la corba característica.

De la mateixa manera s'ha analitzat amb els components característics dels altres transistors del mirall de corrent (M3 i M4) (Fig. 3.8) i del seguidor M5 (Fig. 3.6.)

També, s'ha analitzat pels valors dels corrents de polarització  $I_1$  i  $I_2$  (Fig 3.9. i Fig. 3.10.) observant que la seva modificació en modifica el pendent.

Fianalment, s'han realitzat les simulacions corresponents a les capacitats  $C_1$  (Fig 3.11. i Fig. 3.12.) i  $C_2$  (Fig 3.13. i Fig. 3.14.) en AC, obtenint en cada un dels casos els corresponents diagrames de Bode d'amplitud i fase, utilitzant un punt de treball a l'entorn dels 10uA. S'observa com les variacions de la capacitat  $C_1$  ofereix unes millores en el marge d'amplitud i fase major que la capacitat  $C_2$  on aquestes variacions no són tant significatives.

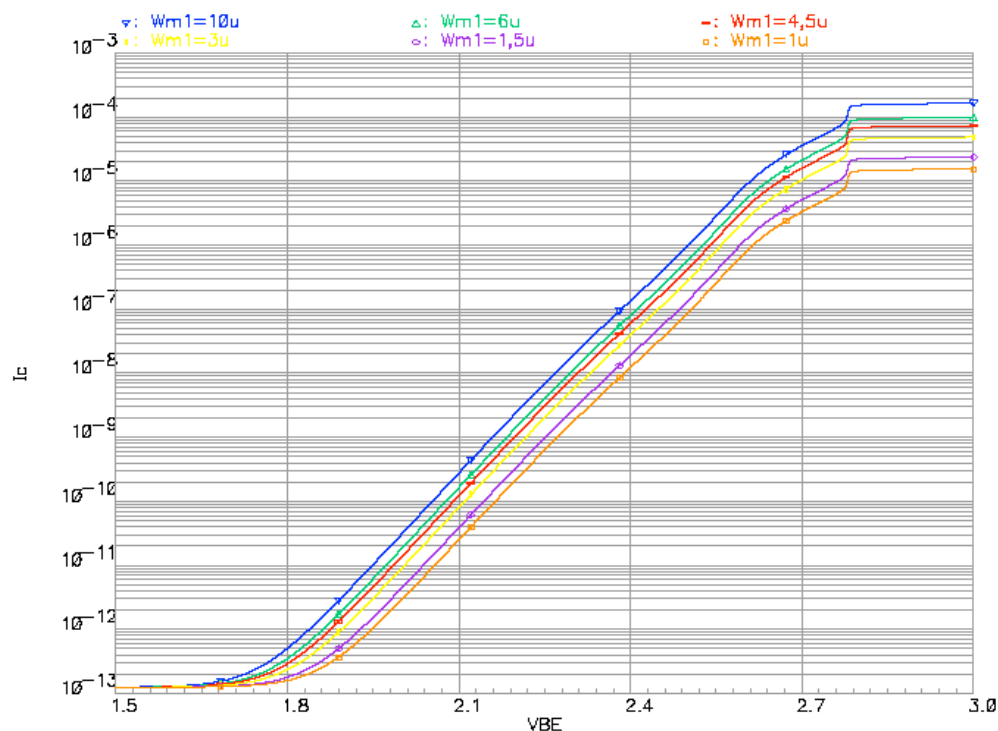


Fig. 3.4. Simulació del corrent de sortida de l'ET en funció de l'amplada del transistor de sortida (M1). S'observa com en augmentar l'amplada del transistor la corba es desplaça cap a l'esquerra i el límit de conducció augmenta.



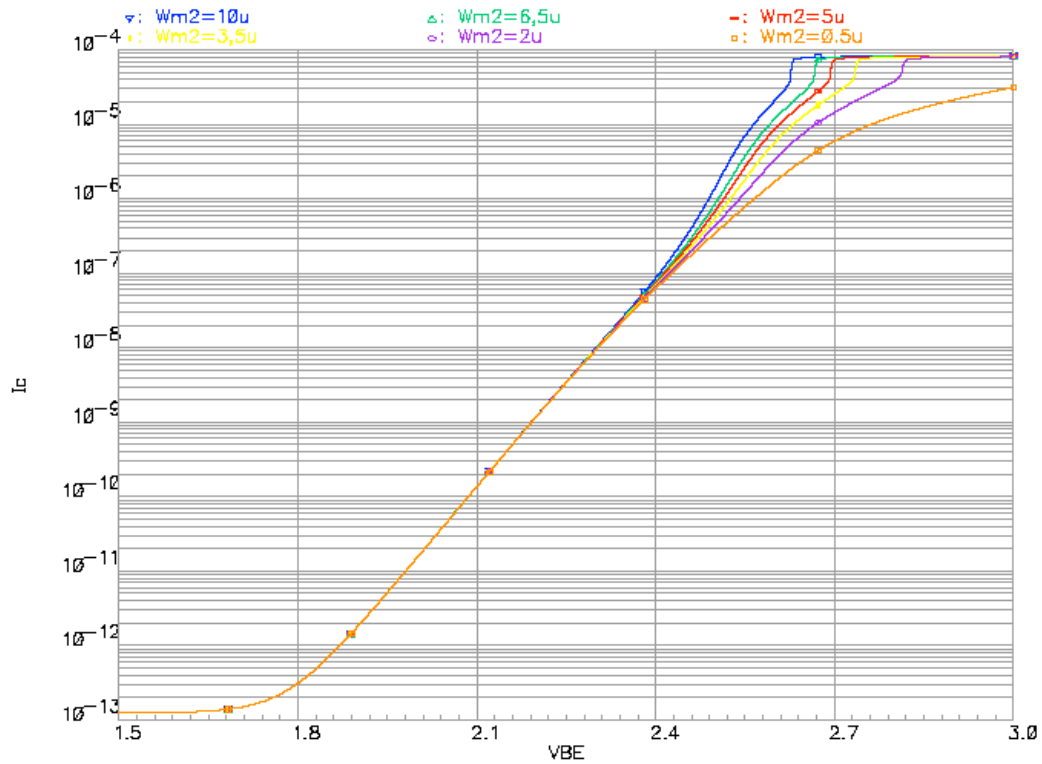


Fig. 3.5. Simulació del corrent de sortida de l'ET en funció de l'amplada del transistor de referència del comparador a l'entrada (M2). S'observa com en augmentar l'amplada d'aquest transistor es desplaça cap a l'esquerra la segona meitat de la corba característica.

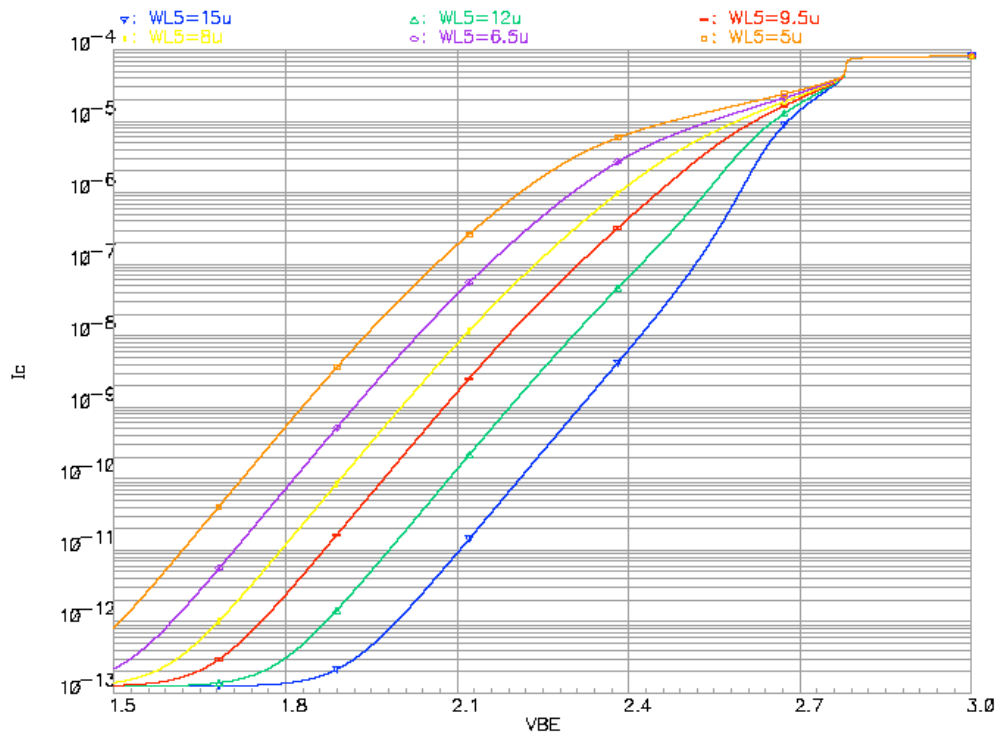


Fig. 3.6. Simulació del corrent de sortida de l'ET en funció de la longitud del seguidor de tensió (M5). S'observa com en augmentar aquesta longitud la corba es va desplaçant cap a la dreta, d'una manera no uniforme.

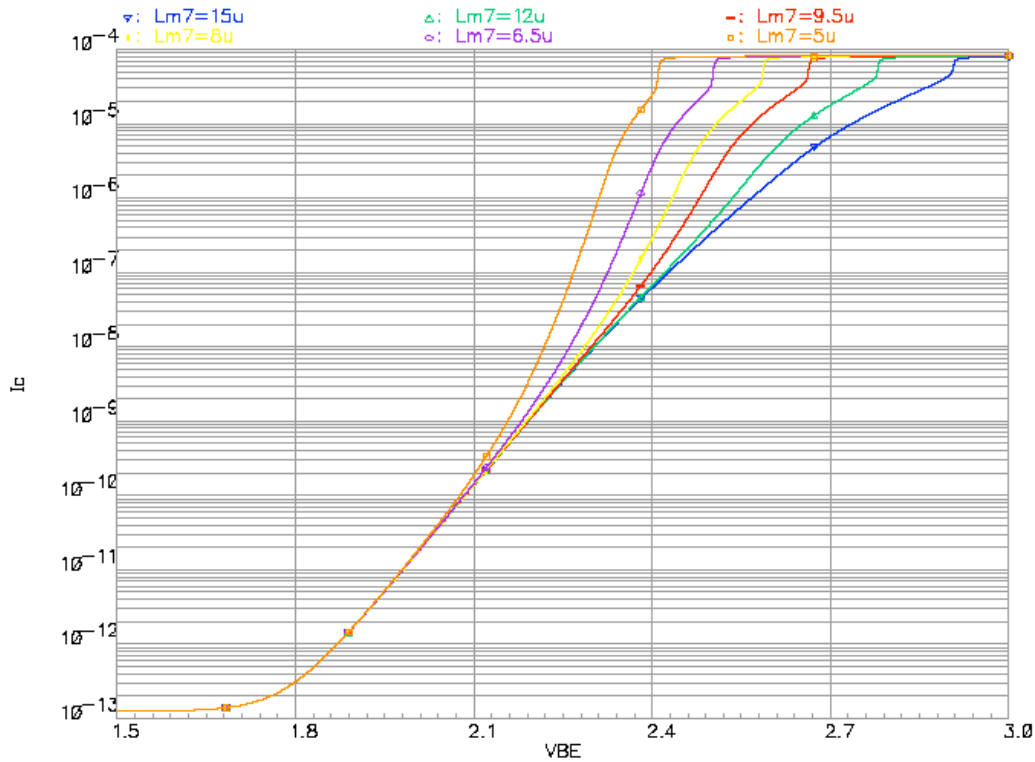


Fig. 3.7. Simulació del corrent de sortida de l'ET en funció de la longitud de canal del seguidor M7. S'observa com en augmentar-la produeix un efecte similar al de modificar l'amplada del transistor M2, on la corba es desloca cap a l'esquerra en la segona meitat de la corba característica.

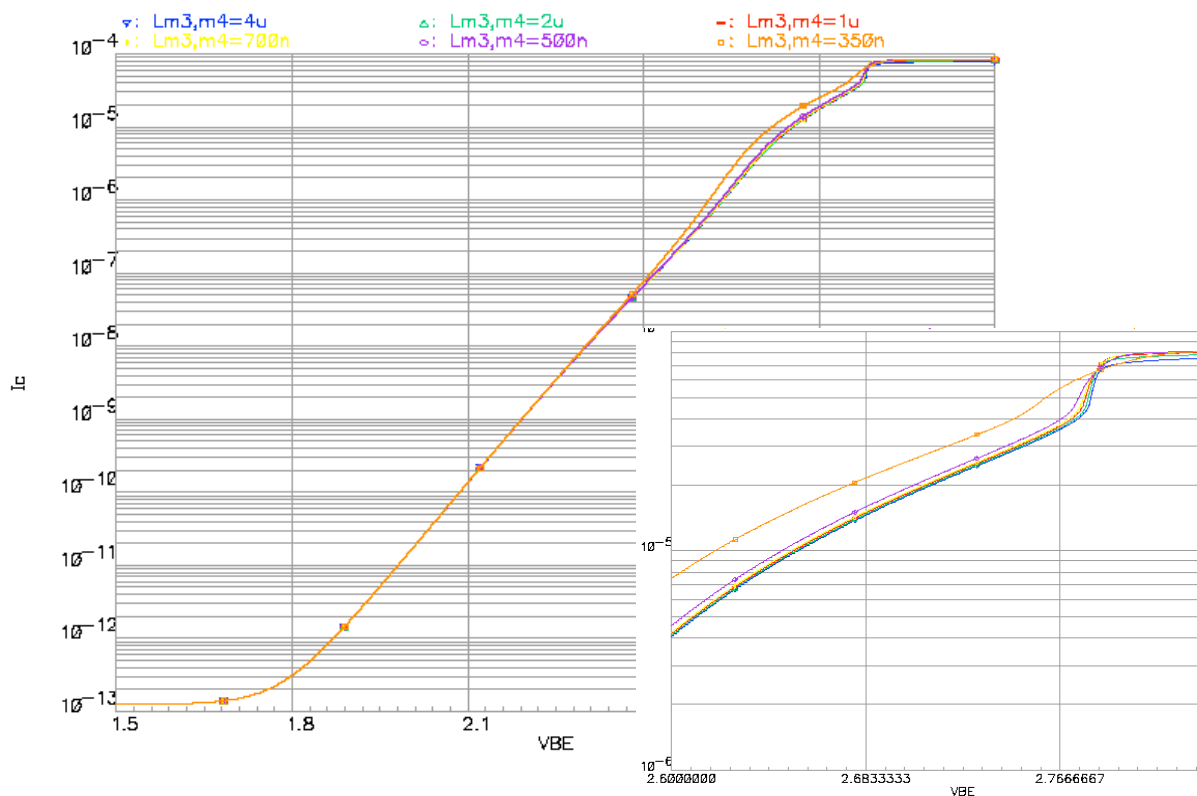


Fig. 3.8. Simulació del corrent de sortida de l'ET en funció de la longitud de canal del mirall de corrent que formen els transistors M3 i M4. S'observa com la corba s'aplanava en la part final de la corba d'una manera més forta per valors de canal més petits.

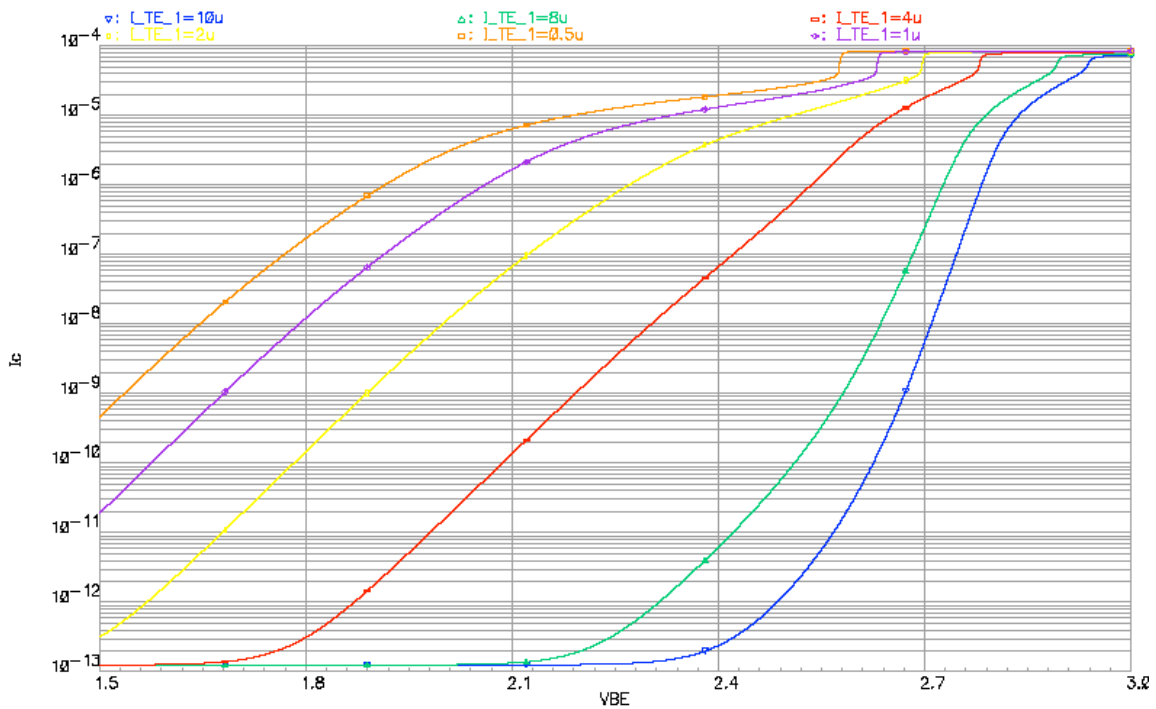


Fig. 3.9. Simulació del corrent de sortida de l'ET en funció dels corrent de polarització  $I_1$ . S'observa com la corba es desplaça cap a la dreta en augmentar-lo i que aconsegueix un valor més lineal per el valor utilitzat de  $4\mu$ .

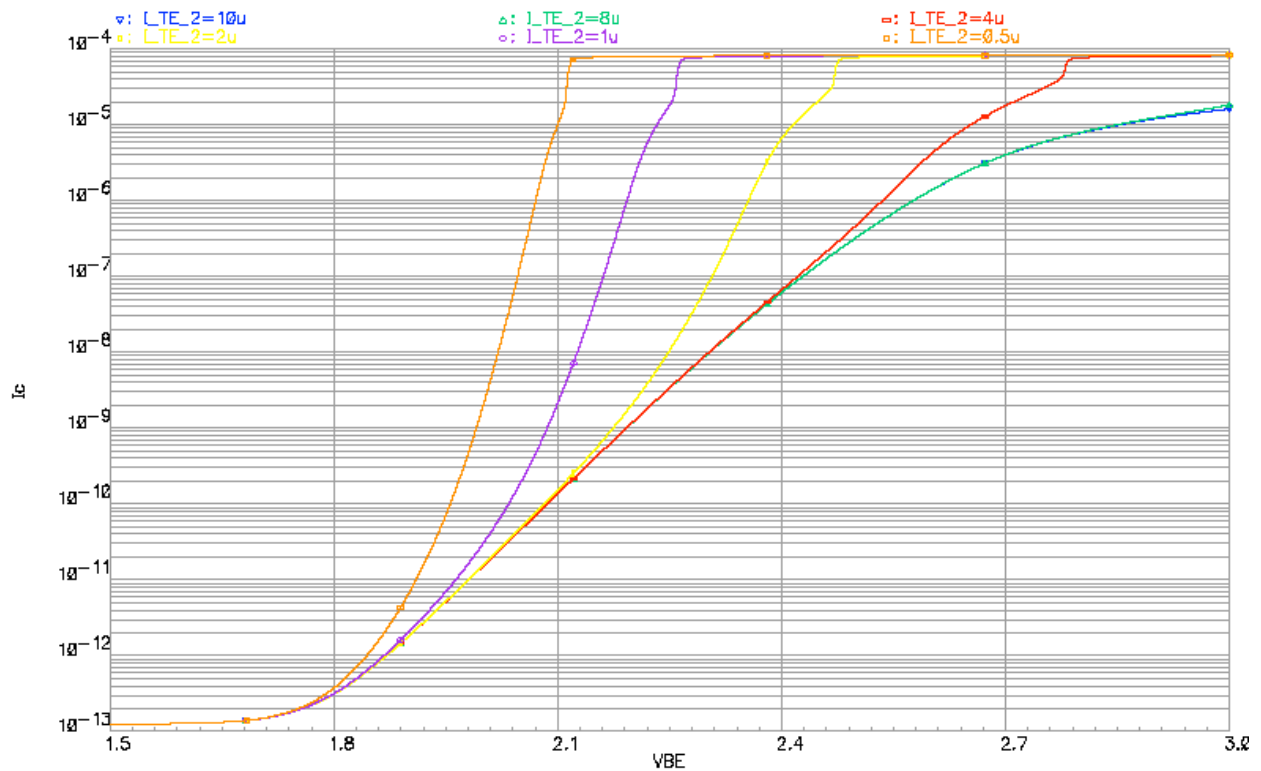


Fig. 3.10. Simulació del corrent de sortida de l'ET en funció dels corrent de polarització  $I_2$ . S'observa com la corba es desplaça també, cap a la dreta en augmentar-lo i que aconsegueix un valor més lineal per el valor utilitzat de  $4\mu$ . T'ambé s'observa que per valor petits d'aquest corrent és satura més aviat.

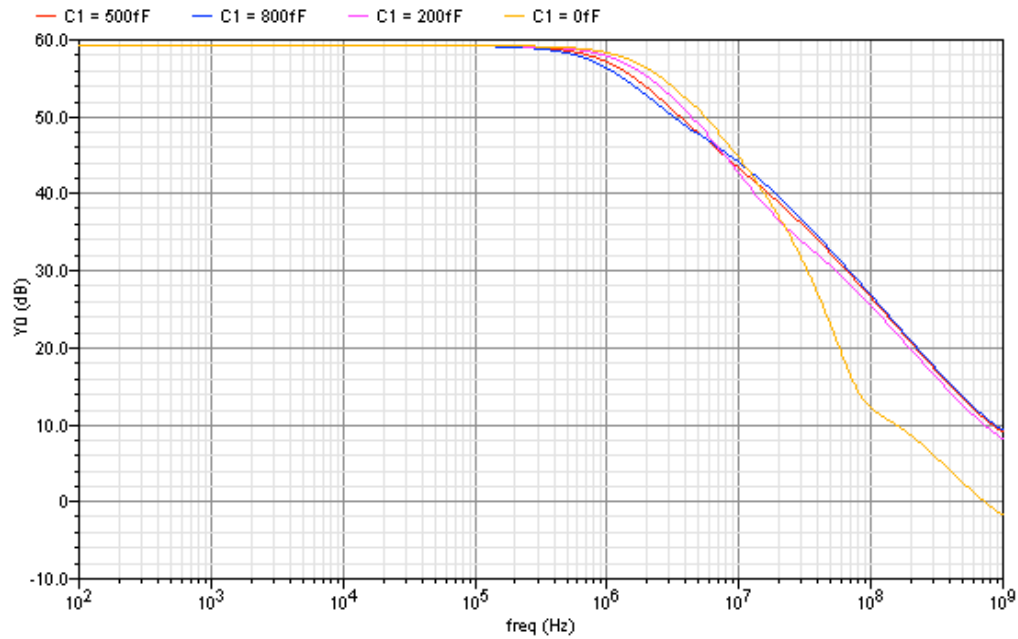


Fig. 3.11. Simulació del modul de la funció de transferència de l'ET (Diagrama de Bode) en funció del comportament de la Capacitat C1. La corba s'ha realitzat buscant un punt de treball caracteritzat per un corrent a l'entrada a l'entorn dels 10uA. Observem com per valors tendint a zero es distorsiona de manera considerable.

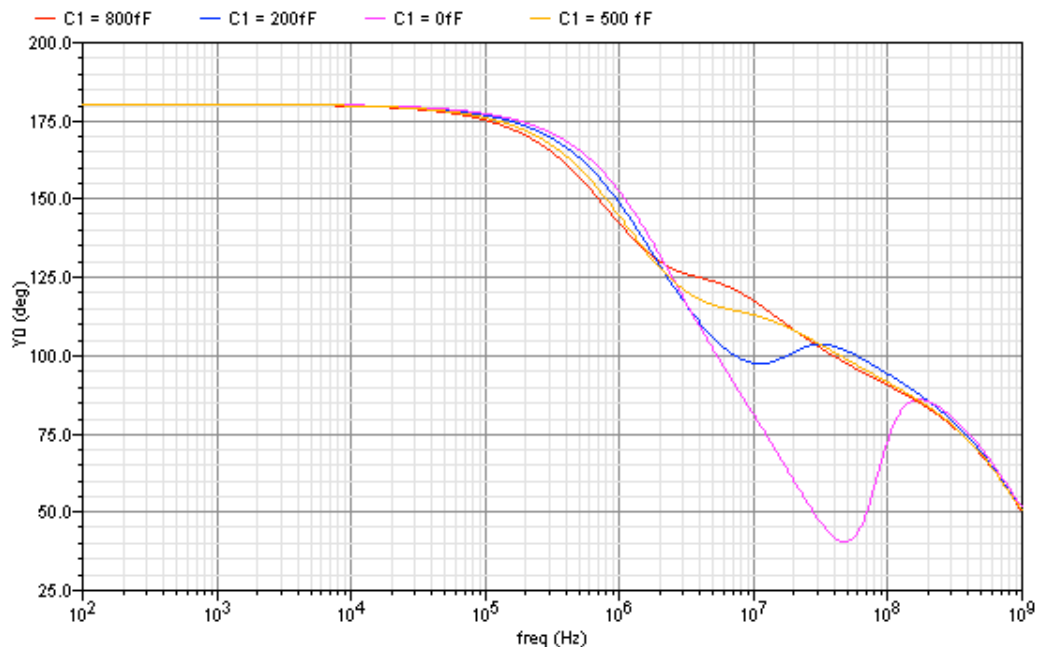


Fig. 3.12. Simulació de la fase de la funció de transferència de l'ET (Diagrama de Bode) en funció del comportament de la Capacitat C1. La corba s'ha realitzat buscant un punt de treball caracteritzat per un corrent a l'entrada a l'entorn dels 10uA . Observem com el valor d'aquesta capacitat afecta de manera important al comportament de la fase.

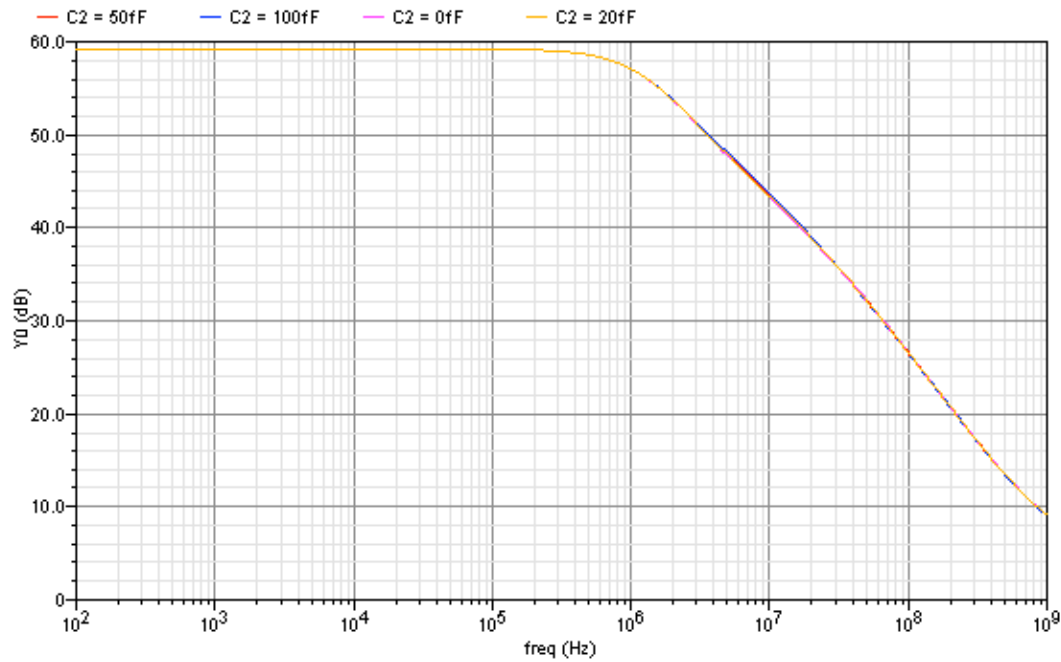


Fig. 3.13. Simulació del modul del diagrama de Bode de l'ET en funció del comportament de la Capacitat C2. S'observa com també l'afecta però d'una manera menys significativa que no pas en el cas de C1.

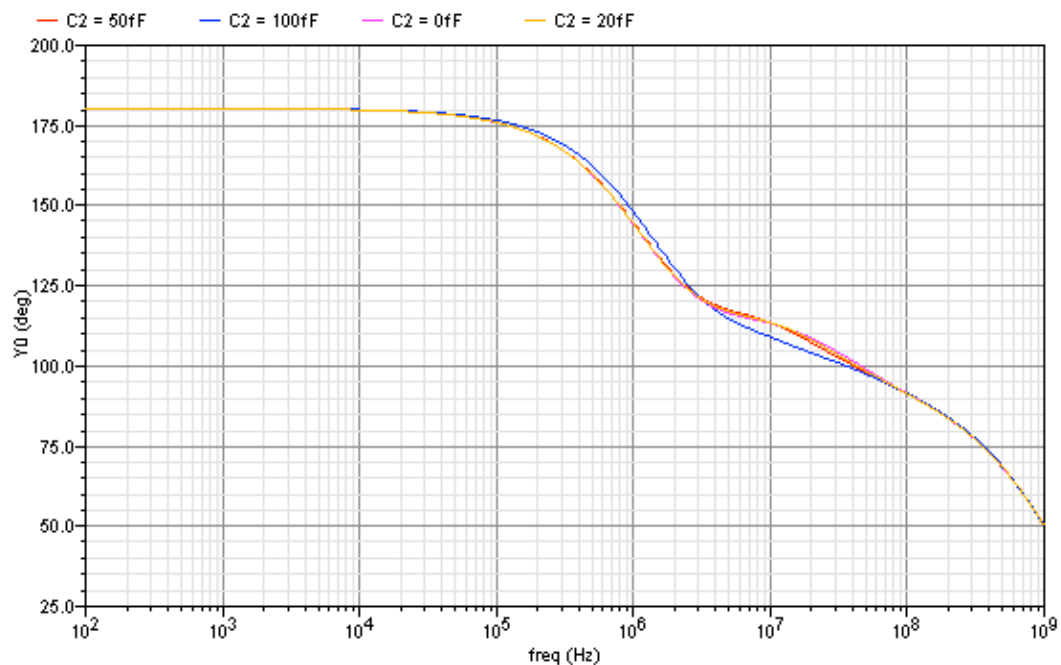


Fig. 3.14. Simulació de la fase en el diagrama de Bode de l'ET en funció del comportament de la Capacitat C2. S'observa com també afecta al seu comportament en la fase però que no és tant significatiu com en el cas de C1.

A partir de les anteriors simulacions s'ajusten les dimensions dels paràmetres constituents de l'element translineal per obtenir-ne la millor resposta. Els valors que conjuntament ofereixen uns millors resultats vénen resumits en la següent taula (Taula 3.1.). En la simulació (Fig 3.15.) es mostra quin és el diagrama de Bode de l'ET resultant amb els paràmetres escollits.

Paràmetres	Valors	Paràmetres	Valors	Paràmetres	Valors
W/L M1	5/2 $\mu\text{m}$	W/L M5	0.8/12 $\mu\text{m}$	Ite1	4 $\mu\text{A}$
W/L M2	2.5/2 $\mu\text{m}$	W/L M6	4/2 $\mu\text{m}$	Ite2	4 $\mu\text{A}$
W/L M3	2/2 $\mu\text{m}$	W/L M7	0.8/12 $\mu\text{m}$	C1	527fF
W/L M4	2/2 $\mu\text{m}$	W/L M8	4/2 $\mu\text{m}$	C2	70fF

Taula 3.1. Valors amb els paràmetres que componen l'ET dissenyat.

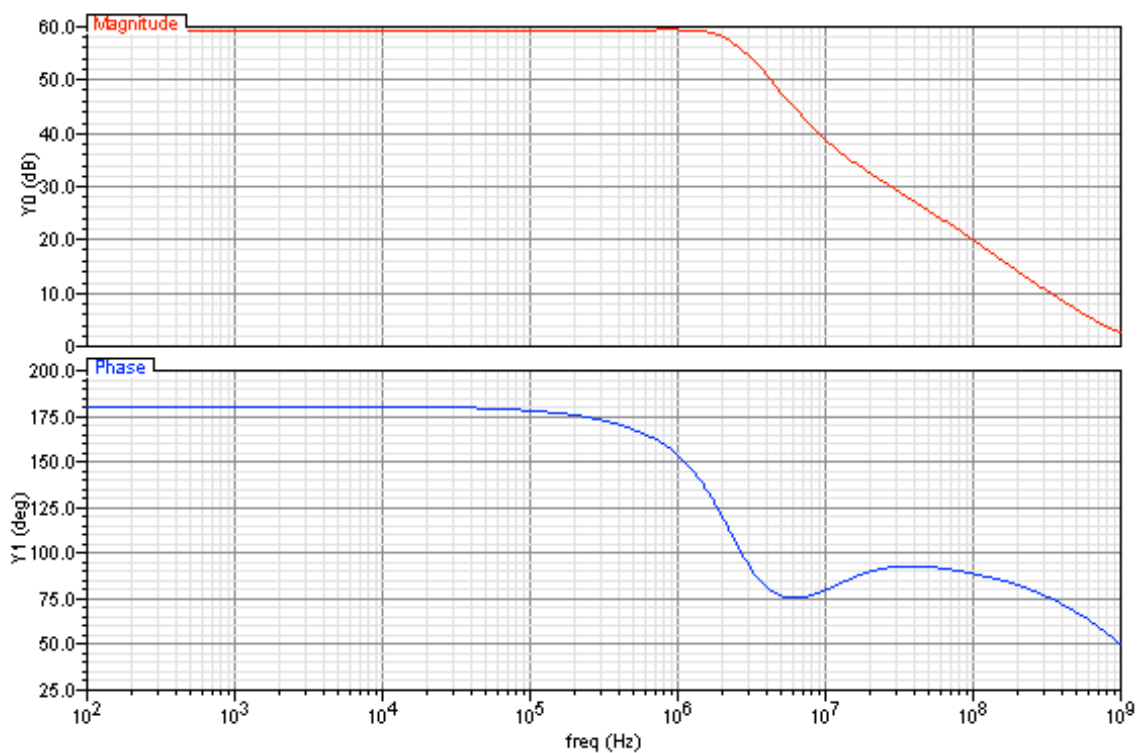


Fig. 3.15. Diagrama de Bode de l'ET (modul i fase) amb les dimensions escollides.

#### 4.- Disseny dels operadors bàsics aprofitant el principi de translinealitat

Alhora de realitzar el disseny utilitzant un llaç translineal es parteix de les diferents topologies que existeixen i que poden ser representades pel llaç i seguint les expressions explicades al segon capítol. Com ja s'ha comentat, ens centrarem pels posteriors dissenys en dues arquitectures concretes, una de topologia apilada (figura 4.1.a), on els elements que presenten una mateixa orientació es troben agrupats, i una segona topologia alternada (figura 4.1.b) on s'alternen els element en una i altre orientació.

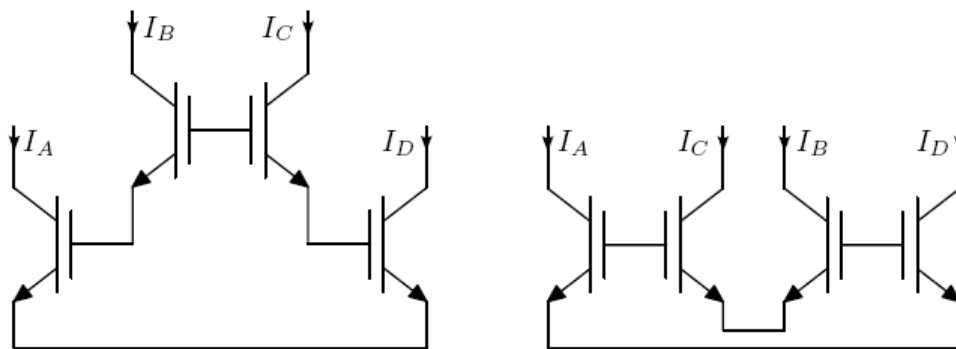


Fig. 4.1. esquema de les dues tipologies estudiades a) apilada i b) alternada

El principal avantatge que presenta el llaç translineal que segueix la topologia apilada és que permet reutilitzar el mateix corrent d'entrada quan sigui necessari per més d'un element translineal, just al contrari del que succeeix amb la topologia alternada, doncs es necessari duplicar els corrents per fer-los arribar a cada un dels elements translineals que els requereixin. Però la principal avantatge de la topologia alternada la trobem en què no hi ha elements translineals en sèrie i que per tant no són necessàries tensions tant elevades per mantenir-los en funcionament, oferint una major immunitat a les no idealitats de la funció de transferència de l'element translineal.

Bàsicament, per aquesta major immunitat a les no linealitats, és pel que s'ha elegit aquesta topologia pels posteriors dissenys.

Com a norma general, per tal de mantenir els condicionants elèctrics que mantenen l'element translineal dins de les regions adequades al bon funcionament, s'han utilitzat dos esquemes de polarització diferents, un d'ells pels elements translineals orientats en un sentit i l'altre pels sentit contrari. (Fig. 4.2.)

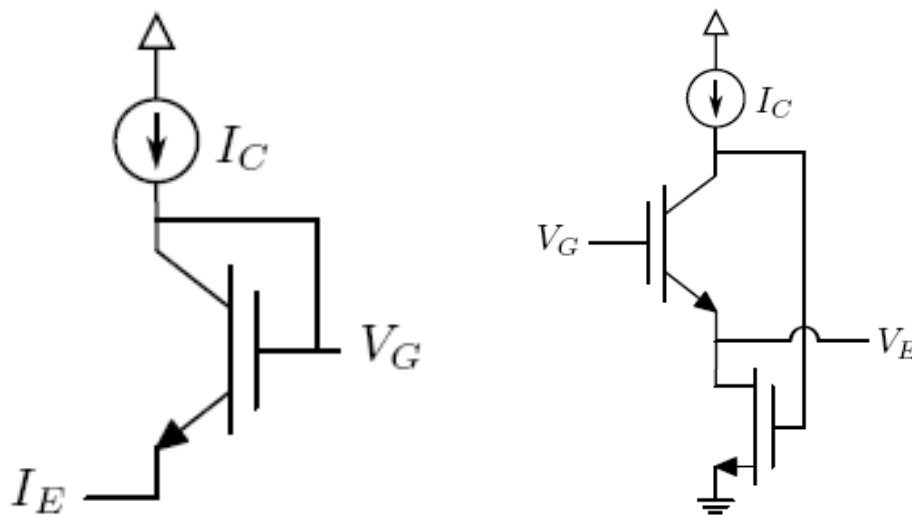


Fig. 4.2. esquema de les dues polaritzacions utilitzades per alimentar els elements translineals. El primer cas a) correspon a la utilitzada pels elements recorreguts horàriament i es coneix pel nom de Enz-Punzenberger, el segon cas b) és la polarització anomenada diode i que força el corrent ajustant la tensió a la porta de l'element translineal.

#### 4.1. Suma i diferència d'un sol quadrant

Tal com ja s'ha anunciat, una de les principals avantatges que ofereix el fet d'utilitzar els senyals en mode corrent és que les operacions de suma i diferència es redueixen al simple fet de connectar dos conductors, tal com surt de l'aplicació directa de les lleis de Kirchhoff als nusos i per tant no requereix més esforços per dissenyar-les.

#### 4.2. Producte i divisió un sol quadrant

El procés a seguir en el disseny de cada un dels diferents operadors és el mateix en tots els casos, però s'utilitzarà aquest primer per explicar el procediment a seguir d'una manera més detallada.

Quan es planteja el disseny d'una operació matemàtica mitjançant un llaç d'elements translineals el que s'ha de fer és expressar la relació matemàtica que es vol representar, en aquest primer cas el producte entre dos variables d'entrada ( $y = x_1 x_2$ ).



Com que es tracta d'un multiplicador d'un sol quadrant cal tenir present que tant les variables dependents com les independents amb què es treballa han de ser estrictament positives. El següent pas consisteix en substituir les variables per la seva representació per corrents, seguint la notació presentada pels elements translineals a l'apartat 2.2. ( $y = \frac{I_y}{I_u}$  ;  $x = \frac{I_x}{I_u}$ ). Si es substitueixen aquestes expressions a la de l'operació inicial i s'ordena adequadament es pot aconseguir una expressió que recorda clarament la definició dels corrents que circulen en un element translineal: en un costat de la igualtat es troba el producte d'els corrents horaris (CW) i en l'altre els antihoraris (CCW)

$$I_y \cdot I_u = I_{x1} \cdot I_{x2} \quad (4.1.) \quad \prod_{n \in CW} I_n = \prod_{n \in CCW} I_n \quad (2.1.)$$

Per tant es pot identificar com el corrent de sortida i el corrent unitari són recorreguts en un sentit mentre que els dos corrents d'entrada són recorreguts en el sentit contrari.

El següent pas consisteix en escollir un esquema de llaç translineal que pugui adequar-se a la relació, en el nostre cas, que presenta dos corrents que es recorren en cada un dels sentits amb la topologia escollida. Finalment el que falta és afegir les polaritzacions adequades per aconseguir els corrents desitjats. (Fig 4.3.)

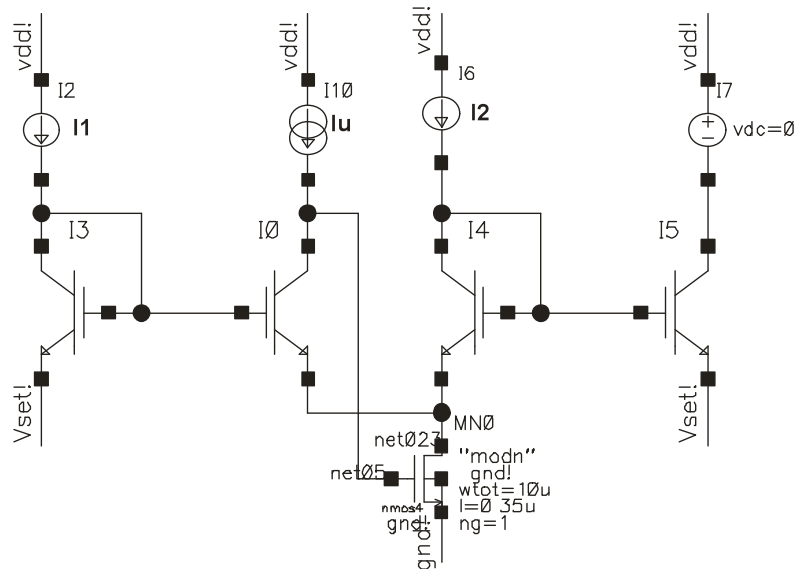


Fig. 4.3. Representació del circuit translineal que realitza la operació de multiplicació entre els corrents I1 i I2. La sortida correspon al corrent que trobem en l'element translineal identificat com I5



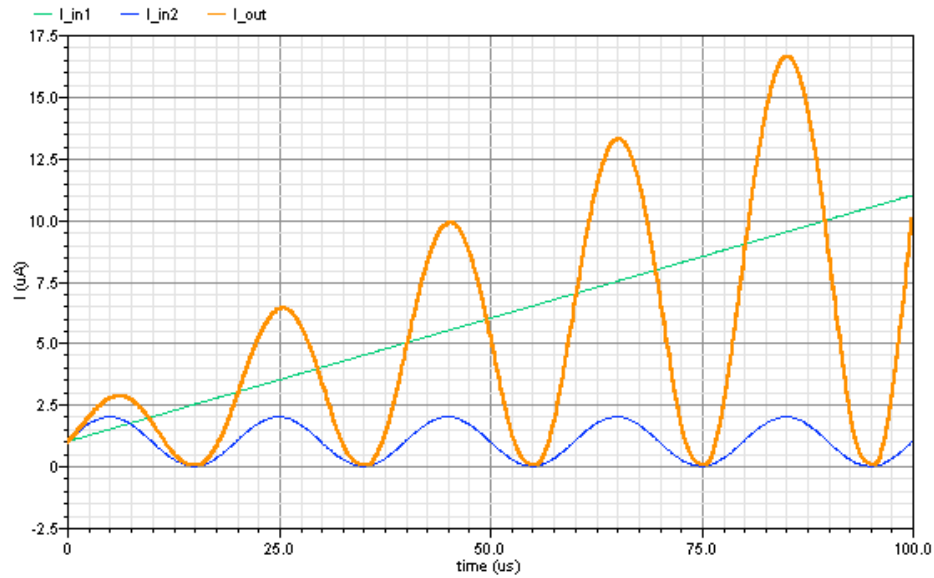


Fig. 4.5. Simulació del producte amb l'element translineal. En aquest cas el producte és entre una entrada sinusoidal i una rampa.

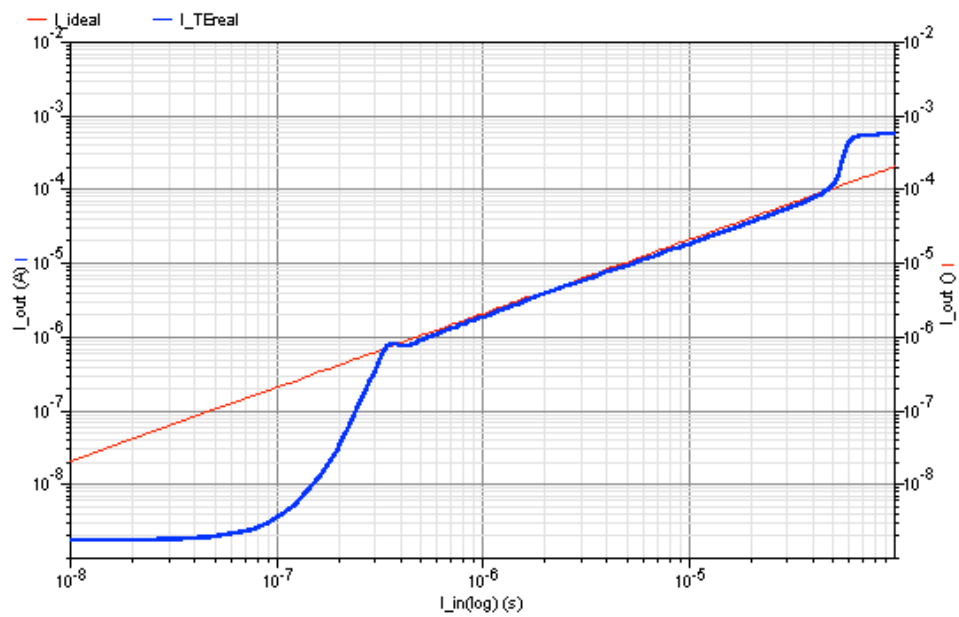


Fig. 4.6. Simulació i corba característica de l'operador producte pel model ideal i amb l'element translineal proposat, en ella podem comprobar que el marge en el qual funciona més correctament és a l'entorn dels microampers, que és pel que era dissenyat. En aquest cas és tracta d'una multiplicació per un factor dos.

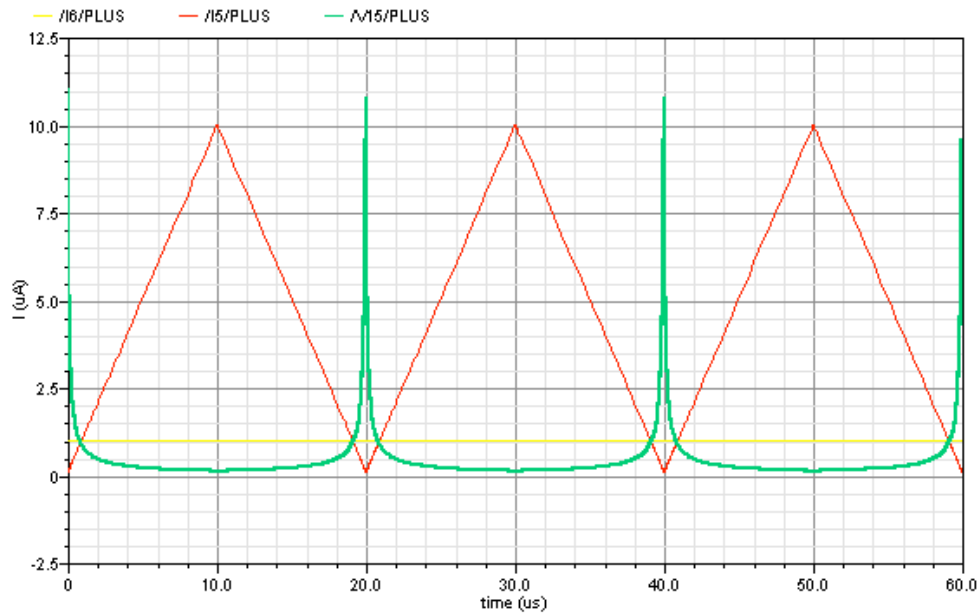


Fig. 4.7. Simulació de l'operador divisió l'entrada al denominador és un senyal triangular i el númerador un valor constant. Es pot observar com el senyal de sortida (verd) presenta la típica de l'inversa d'un senyal triangular.

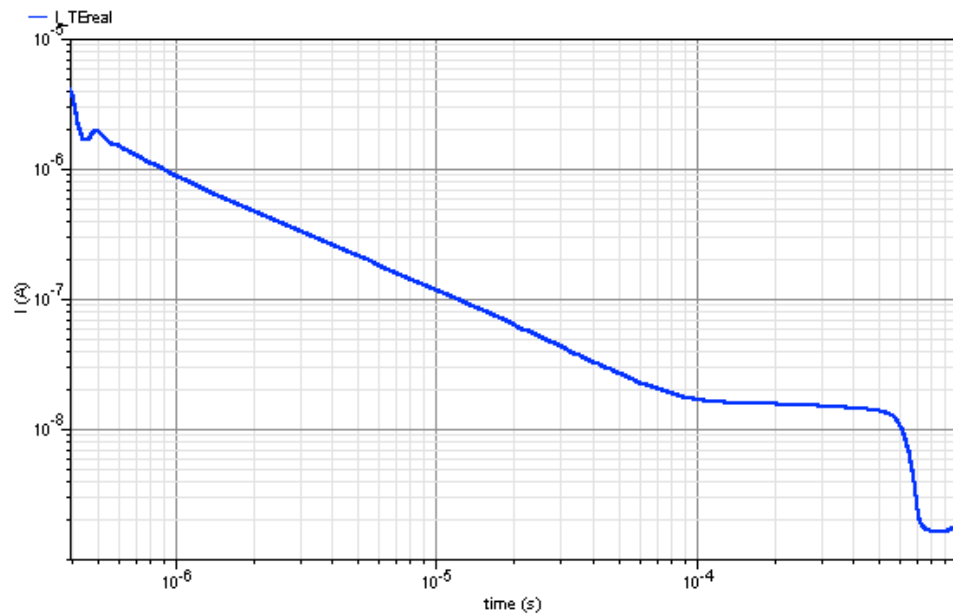


Fig. 4.8. Simulació i corba característica de l'operador divisió amb l'element translineal dissenyat funcionant com a inversor d'un senyal a l'entrada, s'observa com adequa el comportament a l'entorn dels microampers.

### 4.3. Quadrat

El cas de la funció matemàtica “quadrat” és relativament senzill d’observar que la seva estructura serà la mateixa que el multiplicador amb el subtil canvi de què l’entrada serà doblada. Per tal de realitzar-ho ens beneficiarem de l’estructura ja comentada com a mirall de corrent, que ens ofereix les dues còpies necessàries del senyal a l’entrada.

$$y = x^2 = x * x$$

$$y = \frac{I_y}{I_u} \quad x = \frac{I_x}{I_u}$$

$$\underbrace{I_y \cdot I_u}_{CW} = \underbrace{I_x \cdot I_x}_{CCW}$$

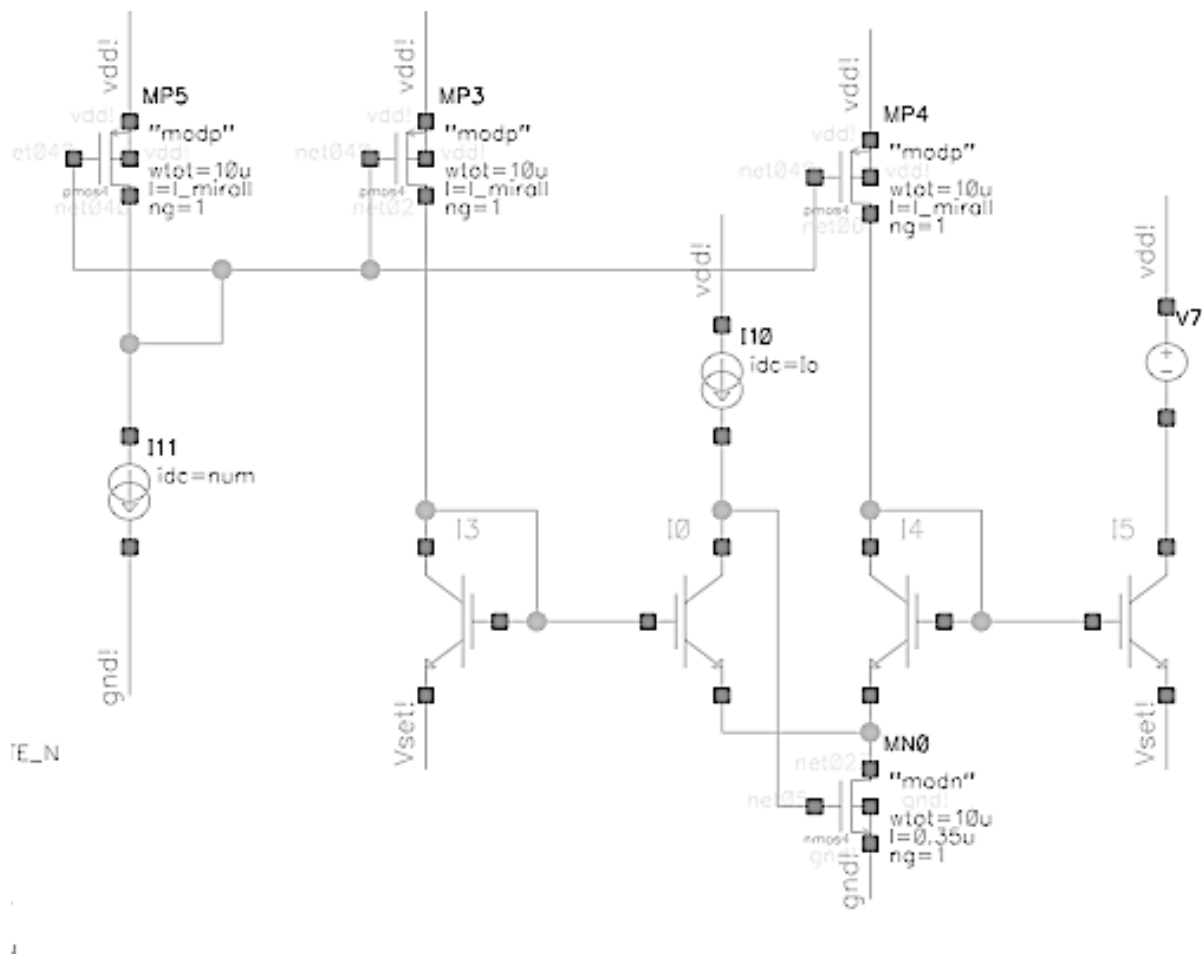


Fig. 4.9. Representació del circuit translineal que implementa l’operació quadrat de l’entrada en aquest cas el corrent I11.

La forma de realitzar l'esquema resultant és prendre com a referència el multiplicador ja realitzat i afegir-hi el mirall de corrent per tal de doblar-ne l'entrada. L'esquema resultant queda com la figura 4.9.

Un cop aconseguit l'esquema es passa a realitzar la seva simulació en dos passos com en el model del producte (Fig. 4.10.)

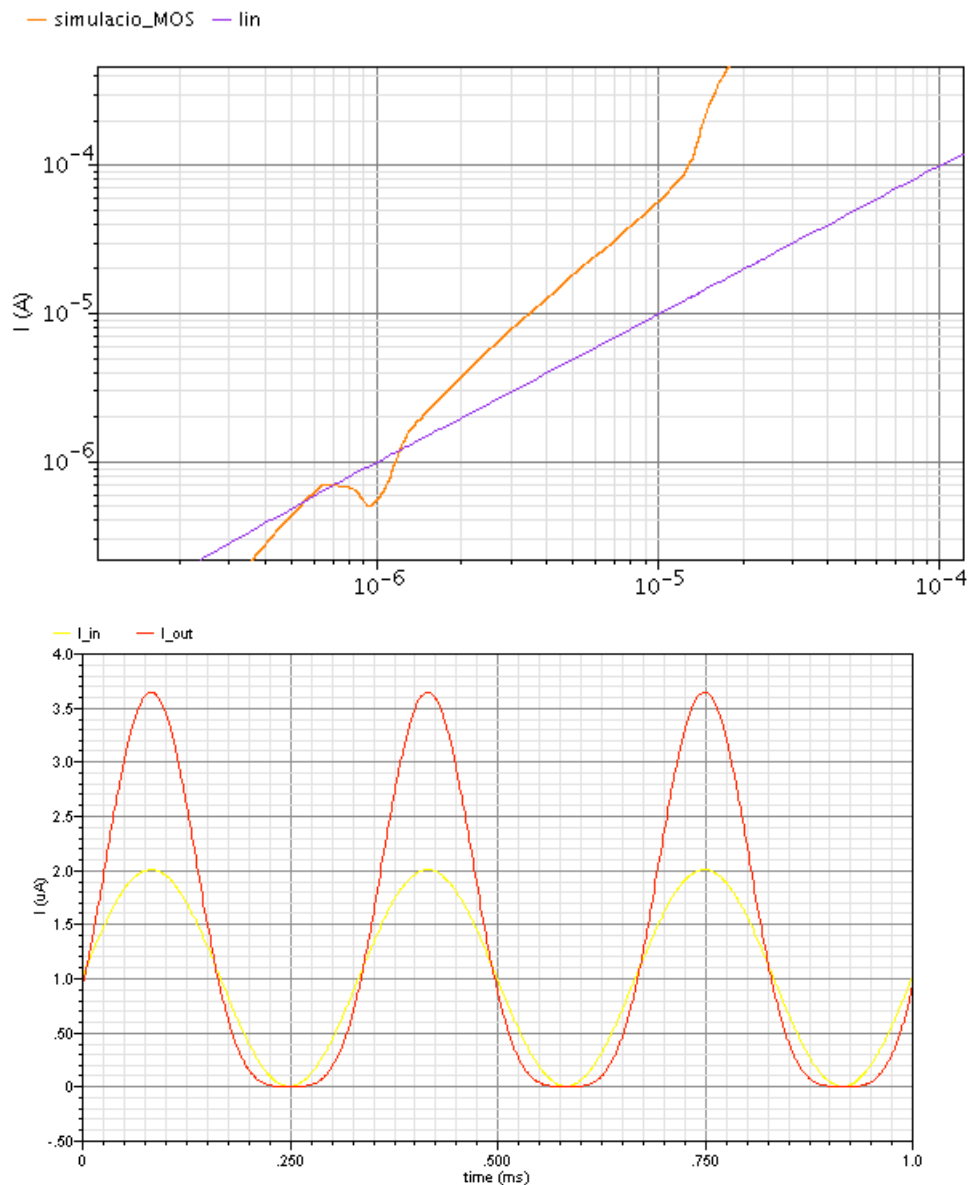


Fig. 4.10. Simulació i corba característica de l'operador quadrat pel model MOS, en ella podem comprovar que el pendent de la corba per l'entorn dels microampers és de 2 com correspon a l'operació.

#### 4.4. Arrel quadrada

Continuem amb el disseny d'aquests operadors, i en aquest cas treballem la funció matemàtica arrel quadrada. En aquest cas es tracta d'un operador amb una entrada i una sortida.

$$\begin{aligned} y &= \sqrt{x} \\ \frac{Iy}{Iu} &= \sqrt{\frac{Ix}{Iu}} \\ \left(\frac{Iy}{Iu}\right)^2 &= \frac{Ix}{Iu} \end{aligned}$$

Per realitzar-ne el disseny procedim de la mateixa manera que en els anteriors casos, fins a obtenir l'expressió que ens interessa.

Arribat aquest punt podem identificar quins corrents és recorren horariament i quins antihorariament en la nostra estructura de disseny elegida.

$$Iy \cdot Iy = Ix \cdot Iu$$

Es pot observar que en aquesta situació la variable que cal que aparegui repetida mitjançant el mirall de corrent és la mateixa que la que existeix a la sortida. Aleshores l'estructura final del nostre disseny queda com la figura 4.11.

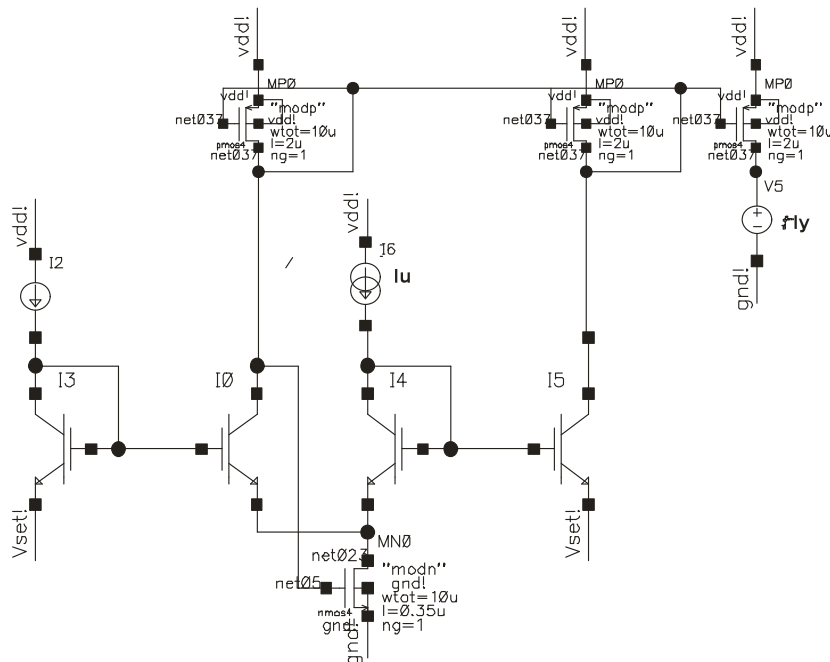


Fig. 4.11. Representació del circuit translineal que realitza l'operació arrel quadrada de l'entrada.

En aquesta figura cal que observem com mitjançant els miralls de corrent forcem que el corrent que circula per l'element translineal ET4 (I5) sigui el mateix que tenim per ET2 (I0), sigui al mateix temps la sortida sense afectar-se entre ells.

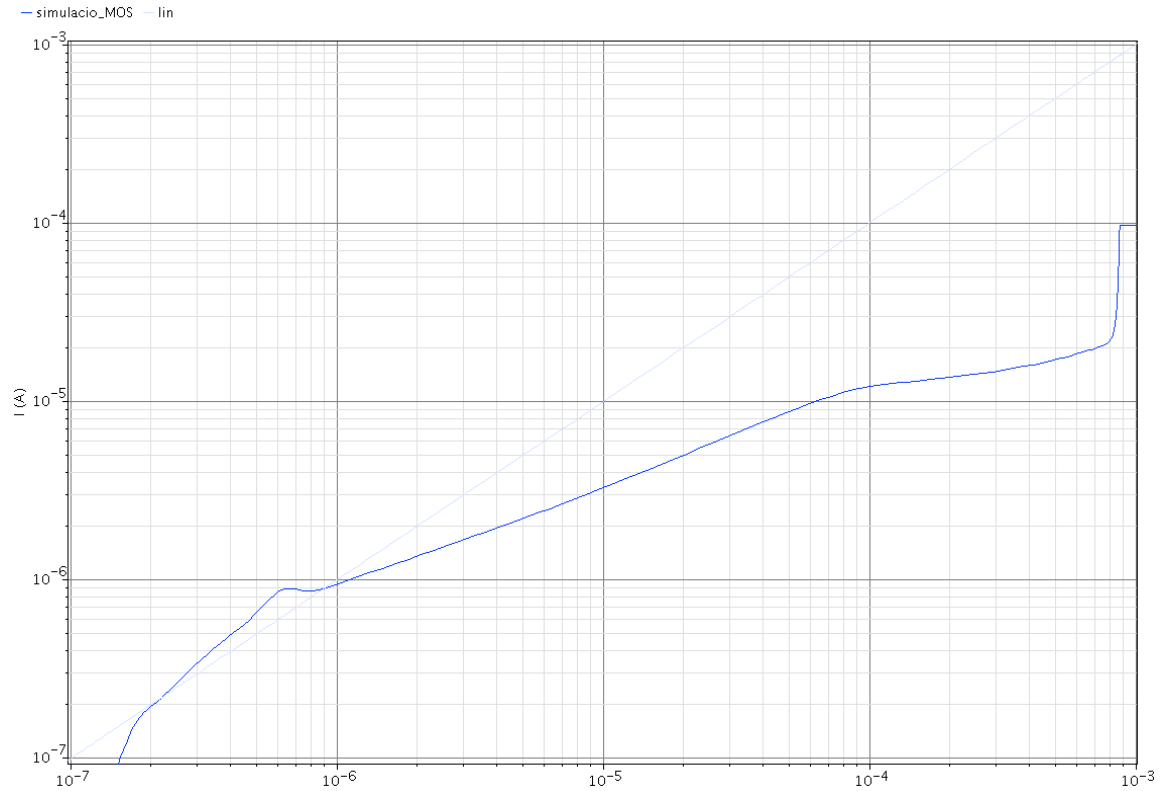


Fig. 4.12. Simulació i corba característica de l'operador arrel quadrada amb el model MOS, en ella podem comprobar que el marge en el qual funciona més correctament és a l'entorn del microampers, que és pel que era dissenyat, observant que manté la pendent propera a 0,5

#### 4.6. Producte de dos quadrants.

Per tal de realitzar-ne el disseny es procedeix de manera anàloga que en els casos anteriors on sols treballàvem amb un quadrant, però haurem de tenir present que una de les dues variables d'entrada ara podrà prendre valors positius i negatius i per tant també la variable de sortida podrà prendre aquests dos valors.

Si s'utilitza la representació com fins al moment. El primer pas consisteix en identificar les variables que hi intervenen i l'operació que volem dissenyar.

$$z = x \cdot y \quad \begin{cases} z = z^+ - z^- \\ y = y^+ \\ x = x^+ - x^- \end{cases}$$

El següent pas consisteix en substituir els valors  $z^+$  i  $z^-$  per les seves respectives expressions en funció dels corrents i el corrent unitari.

$$\left( \frac{Iz^+}{Iu} - \frac{Iz^-}{Iu} \right) = \left( \frac{Ix^+}{Iu} - \frac{Ix^-}{Iu} \right) \cdot \left( \frac{Iy}{Iu} \right)$$



Aquesta expressió que es pot simplificar i agrupar d'una manera senzilla, que ens permetrà identificar els diferents elements com s'ha realitzat en el cas de les operacions amb un sol quadrat.

$$I_U \cdot I_Z^+ - I_U \cdot I_Z^- = I_y \cdot I_x^+ - I_y \cdot I_x^-$$

Si es compara de nou amb l'expressió inicial (2.1.) fàcilment es pot identificar la component positiva i negativa de l'expressió, i a partir d'aquesta descomposició es pot observar un parell d'equacions que corresponen a dos llaços translineals com els que anteriorment s'han utilitzat.

$$\begin{aligned} z^+ &= \frac{I_Z^+}{I_U} = I_U \cdot I_Z^+ = I_y \cdot I_x^+ \\ z^- &= \frac{I_Z^-}{I_U} = I_U \cdot I_Z^- = I_y \cdot I_x^- \end{aligned} \quad \text{per tant} \quad \begin{aligned} \underbrace{I_U \cdot I_Z^+}_{CW} &= \underbrace{I_y \cdot I_x^+}_{CCW} \\ \underbrace{I_U \cdot I_Z^-}_{CW} &= \underbrace{I_y \cdot I_x^-}_{CCW} \end{aligned}$$

Ara ja es poden identificar els corrents al nostre llaç translineal i realitzar-ne les pertinents polaritzacions dels dos llaços de manera independent. Podem observar que el resultat és el mateix que en el multiplicador d'un quadrant per cada una d'elles d'una manera independent.

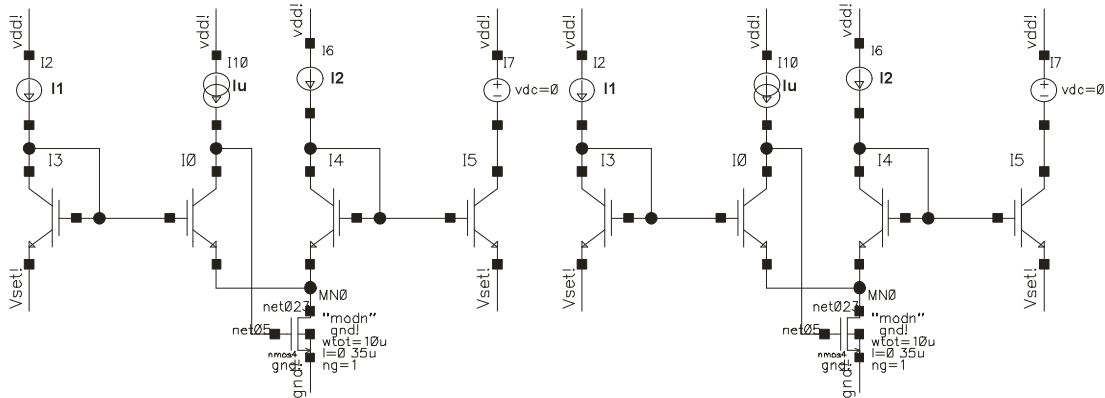


Fig. 4.13. Representació del circuit que s'ha d'utilitzar per cada un de les braques, un circuit corresponent a la branca positiva i l'altre a la negativa.

Aquests dos esquemes resultants s'han de combinar de manera que els corrents de sortida (en el nostre cas  $z^+$  i  $z^-$ ) es restin de manera adequada.

Quan s'uneixen els dos esquemes s'observa que hi ha elements repetits idèntics en els dos. Per exemple el corrent I2 forçat per una connexió diode apareix en les mateixes i per tant, es pot eliminar un d'ells realitzant la connexió d'una manera adequada. D'una

manera molt similar també podem eliminar un dels TE pels quals circula la lu doncs es troben en les mateixes condicions en tots dos esquemes i també en el mateix potencial.

Un cop realitzats aquestes possibles simplificacions l'esquema resultat del multiplicador de dos quadrants mitjançant els elements translineals és el següent i sols requereix de 6 elements translineals enlloc dels 8 que requeria el disseny inicial. La resposta final serà la diferencia entre la sortida de la branca positiva i la negativa. En el cas del següent esquema la branca positiva correspon al element translineal I5 mentre que la negativa correspon a l'element I11 (Fig. 4.14.).

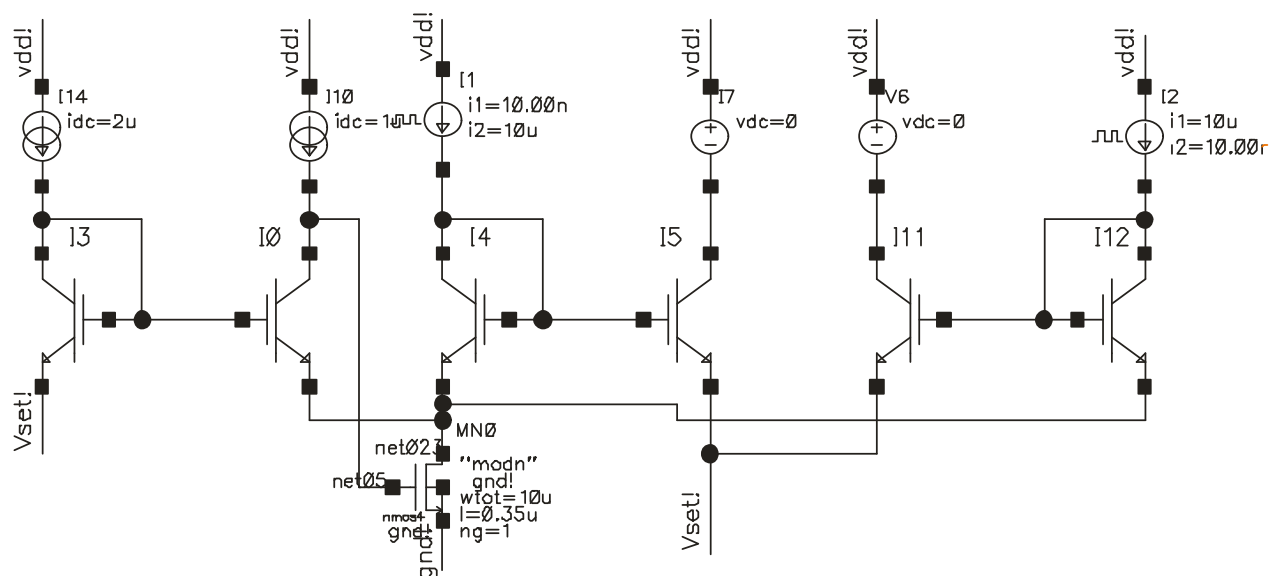


Fig. 4.14. Representació del circuit translineal simplificat que realitza l'operació del producte per dos quadrants, la branca positiva d'entrada correspon a I1 i la seva sortida és I7, mentre que la negativa la entrada és I2 i la sortida V6.

A continuació, un cop obtinguda l'estructura definitiva del multiplicador per dos quadrants, cal comprovar el correcte funcionament amb una simulació que reproduïxi situacions en la que treballarà. Com ja s'ha comentat, aquest multiplicador treballa de manera independent el quadrant positiu i el negatiu de l'operació i suma les seves sortides, de manera que valorant el correcte funcionament de cada una de les branques independentment ja es garanteix el funcionament del conjunt.

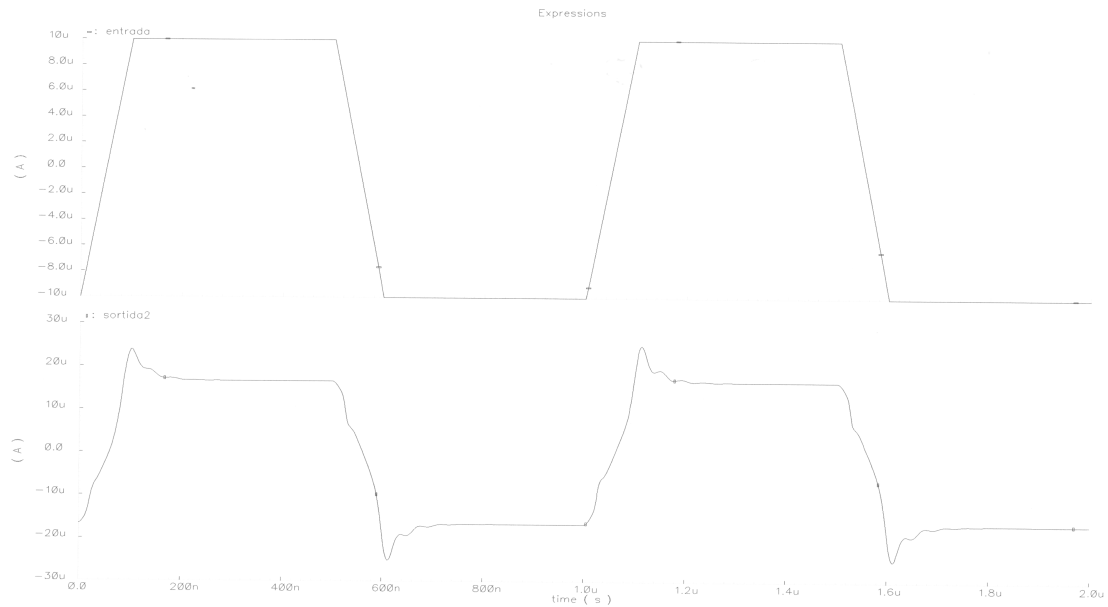


Fig. 4.15. Simulació del circuit translineal que realitza l'operació del producte per dos quadrants, quan a l'entrada hi trobem un pols.

## 5. Layouts

Aquí comença el segon bloc d'aquest projecte i potser el que un major temps ha requerit. Es tracta de la implementació física o disseny microelectrònic (layout) de l'element translineal i d'altres elements necessaris per la posada en funcionament del disseny.

A l'hora de fabricar circuits integrats es treballa en una tecnologia planar que implementa tots els dispositius del circuit sobre la superfície d'un cristall conegut com chip o oblea. La creació dels diferents dispositius sobre l'oblea es realitza mitjançant uns processos físico-químics que actuen de manera selectiva sobre la superfície. Aquestes tècniques basades en màscares són bàsicament les deposicions, la fotolitografia i l'atac químic (etching) sobre la superfície.

La definició d'aquestes màscares que actuen en cada una de les fases és el que conforma els layouts, i que corresponen al disseny dels diferents dibuixos necessaris per implementar les diferents màscares que permeten la realització dels circuits a nivell físic. En l'actualitat aquests dibuixos és realitzen mitjançant software informàtic de CAD, que en faciliten enormement el seu disseny. En el cas concret d'aquest projecte s'ha realitzat amb l'eina per layouts (Virtuoso Layout Editor) que porta el paquet de software per a disseny microelectrònics CADENCE.

## 5.1. Principis dels Layouts

La primera consideració important a tenir en compte consisteix en identificar quines són aquestes capes amb les que es treballa i quines característiques bàsiques presenten cada una d'elles.

1. Pou N (N-well Implant Mask), defineix les zones on es poden implementar transistors PMOS.
2. Pou P (P-well Implant Mask), defineix les zones on es poden implementar transistors NMOS, aquesta màscara en molts casos no cal definir-la, doncs és complementària a l'anterior.
3. Area activa (Active Area Mask), defineix les zones sobre les quals serà possible d'implementar transistors.
4. Polisilici (Polysilicon Mask), són les línies que es realitzaran amb polisilici. Cal tenir present que el polisilici és l'encarregat de formar les portes dels transistors quan travessa àrees actives.
5. Difusió P+ (P+ Implant Mask), correspon a les regions P utilitzades pels drenadors i sortidors del transistors PMOS).
6. Difusió N+ (N+ Implant Mask), correspon a les regions N utilitzades pels drenadors i sortidors del transistors NMOS).
7. Contactes (Contact Mask), són vies que uneixen el primer nivell de metall amb les capes de polisilici o la superfície de silici.
8. Metall 1 (Metal 1 Mask), també trobem nivells més alts de metall que es troben en capes superiors, conegudes respectivament com a metall 2, Metall 3 .... i que s'utilitzen per realitzar les interconnexions entre diferents zones del layout.
9. Via (Via Mask), es tracta de les perforacions a l'òxid que connecten els diferents nivells consecutius de metall (ex. via metall 1 a metall 2).
10. Passivació (Pasivation Mask), aquesta és la darrera capa que generalment cobreix a tot el circuit, a excepció dels punts de connexió final de l'encapsulat o "pads". Té una funció de protecció del circuit.

Un cop presentades a grans trets cada una de les capes amb què es treballa cal conèixer les formes bàsiques o estructures usades en la implementació; concretament dues: el transistor (NMOS i/o PMOS) i les capacitats.

### 5.1.1. El layout dels transistors.

Els transistors són una de les estructures fonamentals en el disseny microelectrònic. Com es pot observar en la figura que acompanya (Fig. 5.1.) els transistors tant PMOS com NMOS es basen simplement en l'encreuament de dos rectangles, un de polisilici sobre un de difusió. El polisilici delimita dues àrees que corresponen al drenador i al

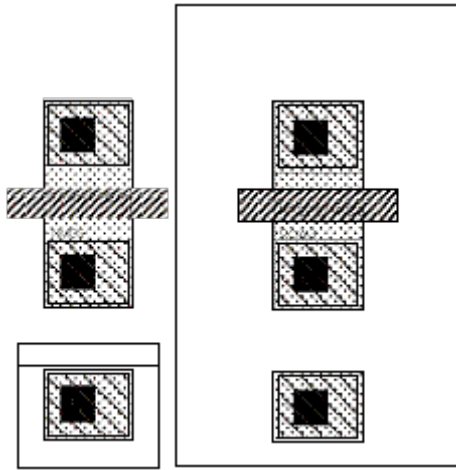


Fig. 5.1. Layout corresponent a un transistor NMOS i PMOS respectivament.

sortidor del transistor. També es pot identificar el polisilici com la porta del transistor.

A part d'aquests elements bàsics en els transistors també podem identificar altres elements, com són els contactes que uneixen drenador i sortidor al nivell de metall 1. Amb els qual es realitzen la majoria de les interconnexions. Tal com es pot observar en l'anterior figura a nivell geomètric tant els transistors

PMOS com NMOS són iguals i la diferencia entre ells es troba en sobre quin pou s'han realitzat les difusions i el dopatge de les difusions

La característica principal dels transistors és la relació entre  $W$  i  $L$ , coneguts com els paràmetres geomètrics del transistor. Corresponen respectivament a l'amplada del canal i la longitud del mateix.

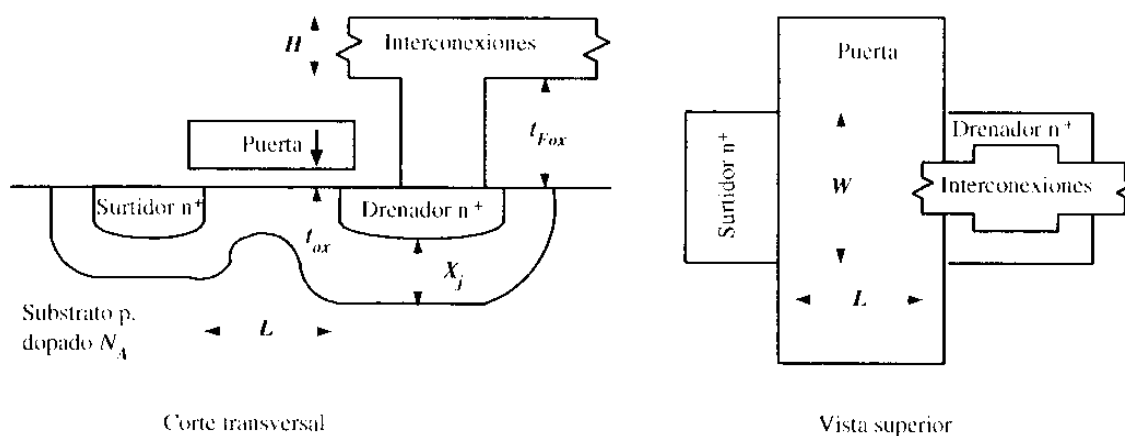


Fig. 5.2. Tall transversal i vista superior d'un transistor on és pot identificar perfectament els seus elements característics, drenador, sortidor i porta.

La figura 5.2. representa l'estructura bàsica d'un transistor, però existeixen tipologies que presenten geometries completament diferents principalment quan presenten una amplada molt més gran que la longitud del transistor. En aquests casos l'opció utilitzada consisteix en deformar l'estructura bàsica del transistor de tal manera que es cargola i s'aconsegueix que no presenti una forma tan incòmode per treballar amb ell.

### 5.1.2. Les capacitats.

Una altra estructura que trobem en el disseny són les capacitats, que per definició es poden crear a partir de dues capes qualsevol de metal·lització, com també mitjançant dues capes independents de polisilici. Aquesta segona opció és la que s'utilitza per aquesta implementació en concret, i presenta un dielèctric entre les dues capes, pensat expressament per tal d'optimitzar l'àrea necessària per obtenir un valor de capacitat.

Per tal de calcular quina àrea ha de tenir el polisilici es parteix de la definició de condensador de plaques paral·leles de la següent manera (Fig. 5.3.).

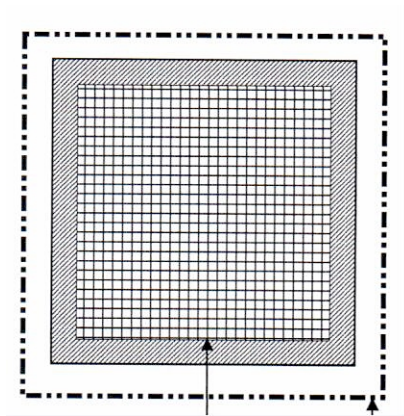


Fig. 5.3. Layout d'una capacitat.

$$C = C_{ox} A_c \quad C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

Per tant, per realitzar una determinada capacitat tant sols haurem de trobar l'àrea apropiada, doncs els altres dos paràmetres que intervenen són la constant dielèctrica del dielèctric que trobem entre les dues capes de polisilici i la distància a la que es troben aquestes dues capes, que venen donades en tots dos casos per la tecnologia de disseny.

## **5.2. Normes de Disseny (DRC)**

Aquestes normes de disseny són un conjunt de característiques, paràmetres elèctrics de disseny i reglamentacions que han de complir tots els layouts per tal de ser fabricats amb una determinada tecnologia. En aquest cas concret es segueixen les normes recollides per C035M-D i C035M-A per dissenys digitals i analògics respectivament, que permeten dissenyar sistemes analògics i digitals CMOS de 0,35um fabricats a l'“AMI Semiconductors production line”.

Aquestes normes estableixen que es treballarà amb dos nivells de polisilici i cinc nivells de metall pels dissenys analògics i només amb un de polisilici pels dissenys digitals.

Una part important d'aquestes normes va destinada a establir les distàncies entre capes, amplades mínimes, interseccions permeses entre capes i incusions entre les diferents capes.

## **5.3. Esquemes bàsics utilitzats en la implementació.**

### **5.3.1. Common-centroid layout (Mismatch)**

El Mismatch és un dels principals inconvenients que es presenten en els processos de fabricació de layouts analògics. Consisteix en el fet, que de manera molt habitual, en el procés de fabricació es produeixen petites desviacions entre components idèntics allunyats, fet que es tradueix en què els components tenen comportaments diferents en funció de la seva posició dins del layout.

Les causes més habituals del Mismatch són les fluctuacions o irregularitats microscòpiques que presenta el polisilici. Una altra causa a tenir en compte és el propi procés de fabricació, doncs les dimensions geomètriques fabricades no coincideixen exactament amb les del layout dissenyat per problemes d'expansió en el procés de fotolitografia. Un altre dels casos habituals és que aquesta expansió no segueix les mateixes proporcions en el sentit horitzontal que vertical.

Per tant, depenent de la geometria i l'orientació utilitzada aquest efecte serà més o menys gran. Una altra causa d'aquest problema és la piezoresistivitat que presenta el Silici, que fa que presenti canvis en la seva resistivitat quan es troba sotmesa a stress mecànic.

L'anomenat *Common-centroid layout* a "Analysis and Synthesis of Static Translinear Circuits", de B. A. Minch, [6] consisteix en situar de manera estratègica els elements del layout de tal manera que es minimitzin els efectes del Mismatch.

Es proposen diferents esquemes de com col·locar aquests components. Per exemple, en el cas d'elements en una sola dimensió es proposa utilitzar els anomenats "*interdigital arrays*" que ofereixen estructures de l'estil de la figura 5.4.

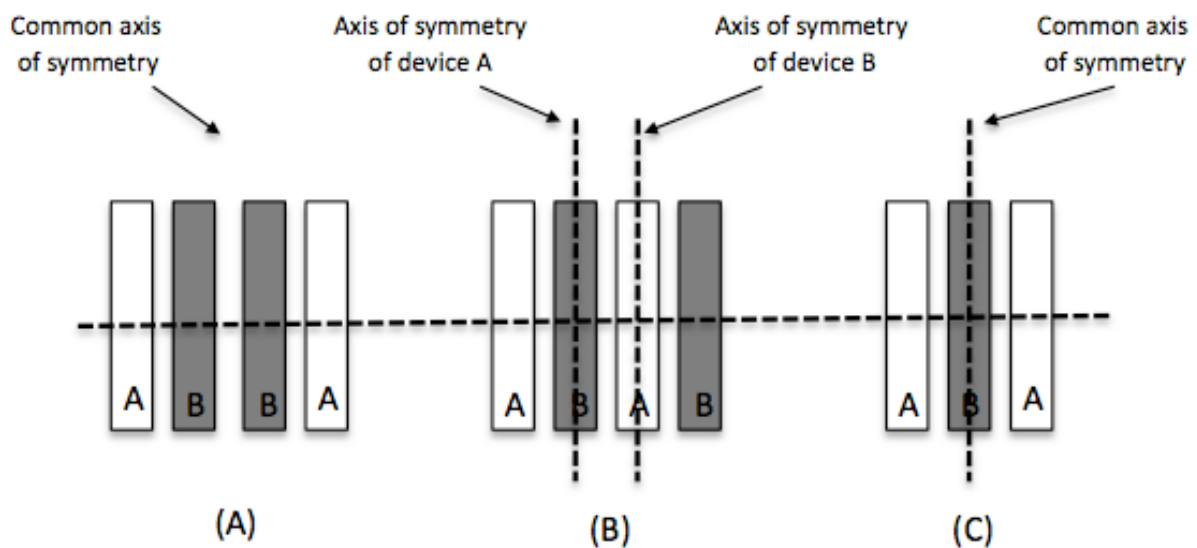


Fig. 5.4. Exemple de common-centroid d'una dimensió.

Però el més interessant és l'extensió d'aquest fet a dues dimensions obtenint estructures tals com que representen arrays de dos dimensions i que en tots dos casos ofereixen una minimització dels efectes del Mismatch (Fig. 5.5.).



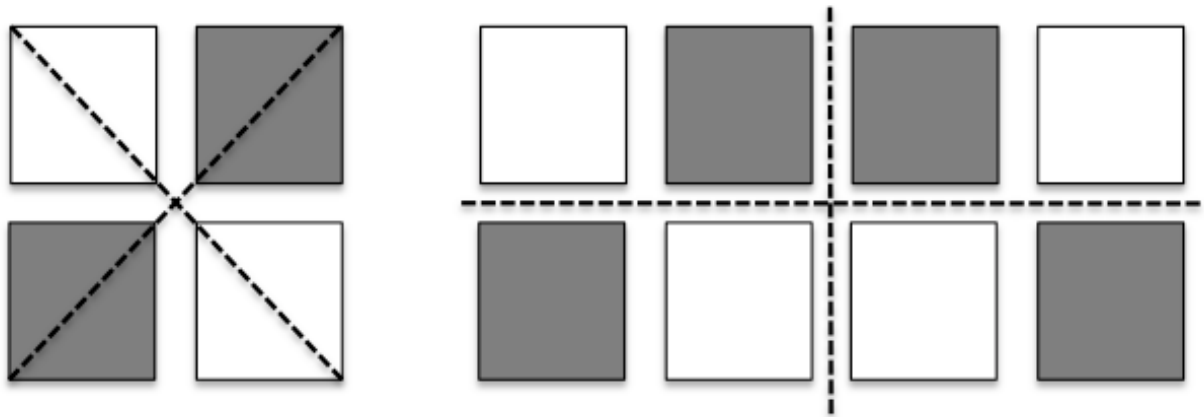


Fig. 5.5. Exemple de common-centroid de dues dimensions.

Per tal d'obtenir les estructures que redueixen el mismatch aplicant el *Common-centroid layout*, com les comentades en els exemples anteriors, s'han de complir quatre senzilles normes que ens permeten situar els diversos elements que la conformen d'una manera adequada:

- i. Coincidència: els centroides dels components resultants han de coincidir (situació ideal) o aproximar-se el màxim possible entre ells.
- ii. Simetria: l'array resultant ha de ser simètric segons els dos eixos tan X, Y.
- iii. Dispersió: l'array ha de mostrar el major grau de dispersió possible, és a dir s'ha de dividir el component en el major nombre possible de sub-elements que ens permeti el disseny i el més uniformes possible entre cada un d'ells.
- iv. Compactació: s'ha d'aconseguir que el conjunt resultant sigui el més compacte possible, d'una manera ideal aproximant-se a un quadrat.

En el cas concret del disseny de l'element translineal s'utilitzen en dues ocasions esquemes common-centroid arrays, el primer d'ells d'una sola dimensió i el segon de dues com s'analitza en els blocs següents.

# BLOC 1, etapa de sortida de L'ELEMENT TRANSLINEAL.

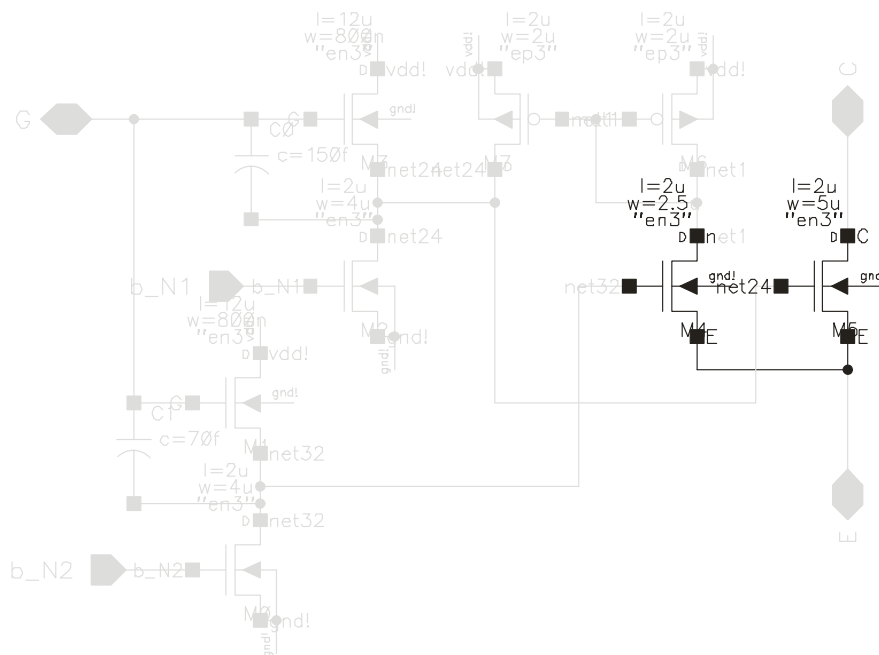


Fig. 5.6. Circuit del que ens proposem crear el layout, on trobem remarcats els dos transistors sobre els que aplicarem el common-centroid d'una dimensió. El primer transistor presenta les característiques geomètriques  $W=2,5\mu$  i  $L=2,5\mu$  mentre que el segon té  $W=2,5\mu$  i  $L=5\mu$ .

El primer pas consisteix en descomposar-los en elements idèntics (Fig. 5.6.), ràpidament es pot veure com el segon d'ells es pot substituir per dos transistors NMOS com el primer.

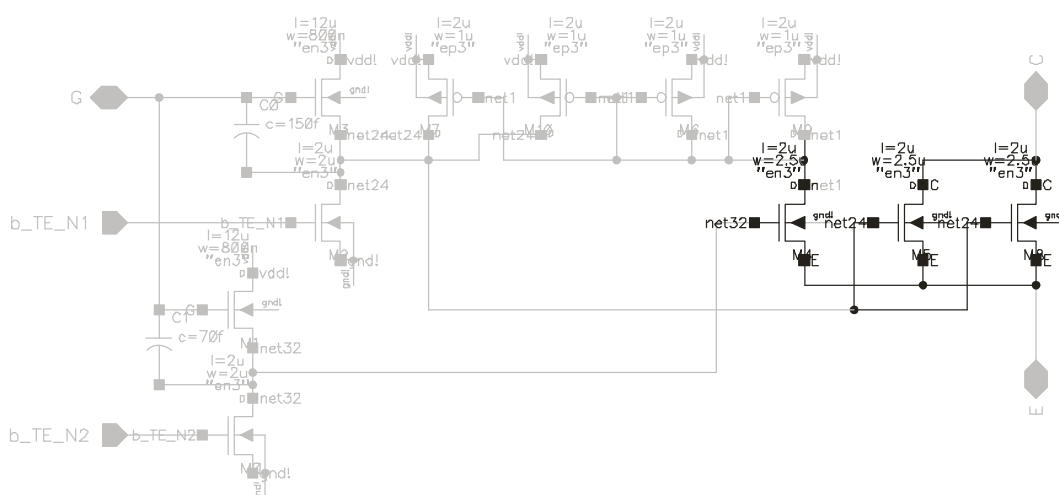


Fig. 5.7. Representació del circuit del que ens proposem crear el layout, trobem remarcats els tres transistors idèntics que obtenim d'aplicar el *Common-centroid layout*, que presenten unes dimensions de  $L=2\mu$  i  $W=2,5\mu$ .

Ara s'ha d'ordenar-los de manera que compleixin el principi de simetria requerit. L'esquema que millor s'aproxima segueix l'array BAB. Aleshores cal aconseguir situar els transistors, el més junts possible, complint les condicions de disseny imposades per la tecnologia utilitzada i mantenir de la millor manera possible la seva simetria (Fig. 5.8.).

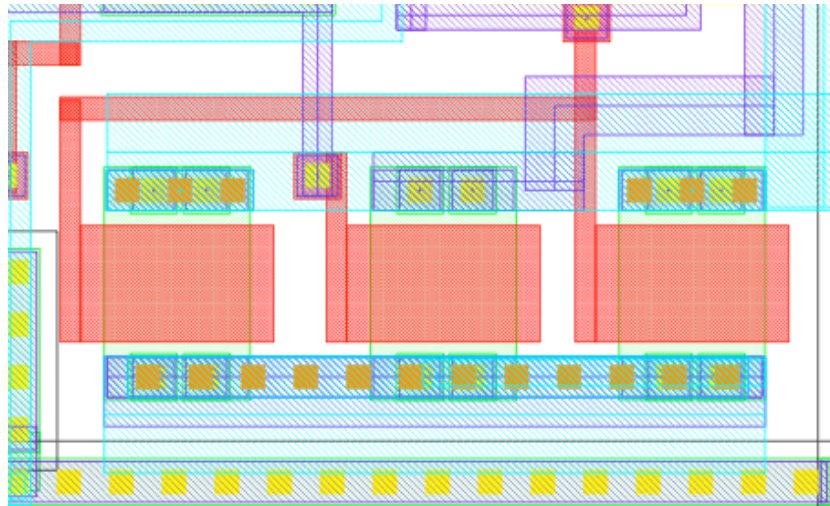


Fig. 5.8. Layout d'aquests tres transistors dissenyats seguint el common-centroid

S'observa que els tres transistors presenten les mateixes característiques geomètriques. La seva disposició en el layout, conjuntament amb les línies necessàries, també ofereixen un alt grau de simetria.

## BLOC 2. MIRALL DE CURRENT ELEMENT TRANSLINEAL

En aquest cas es troben dos transistors PMOS iguals ( $L=W=2u$ ) que poden ser descomposats utilitzant el *Common-centroid layout* en quatre transistors més petits ( $L=2u$   $W=1u$ ). Es decideix realitzar un *Common-centroid layout* de dues dimensions seguint l'estructura d'un array caracteritzable pel següent esquema

seguint l'estructura d'un array caracteritzable pel següent esquema

$$\begin{matrix} A & B \\ B & A \end{matrix}$$

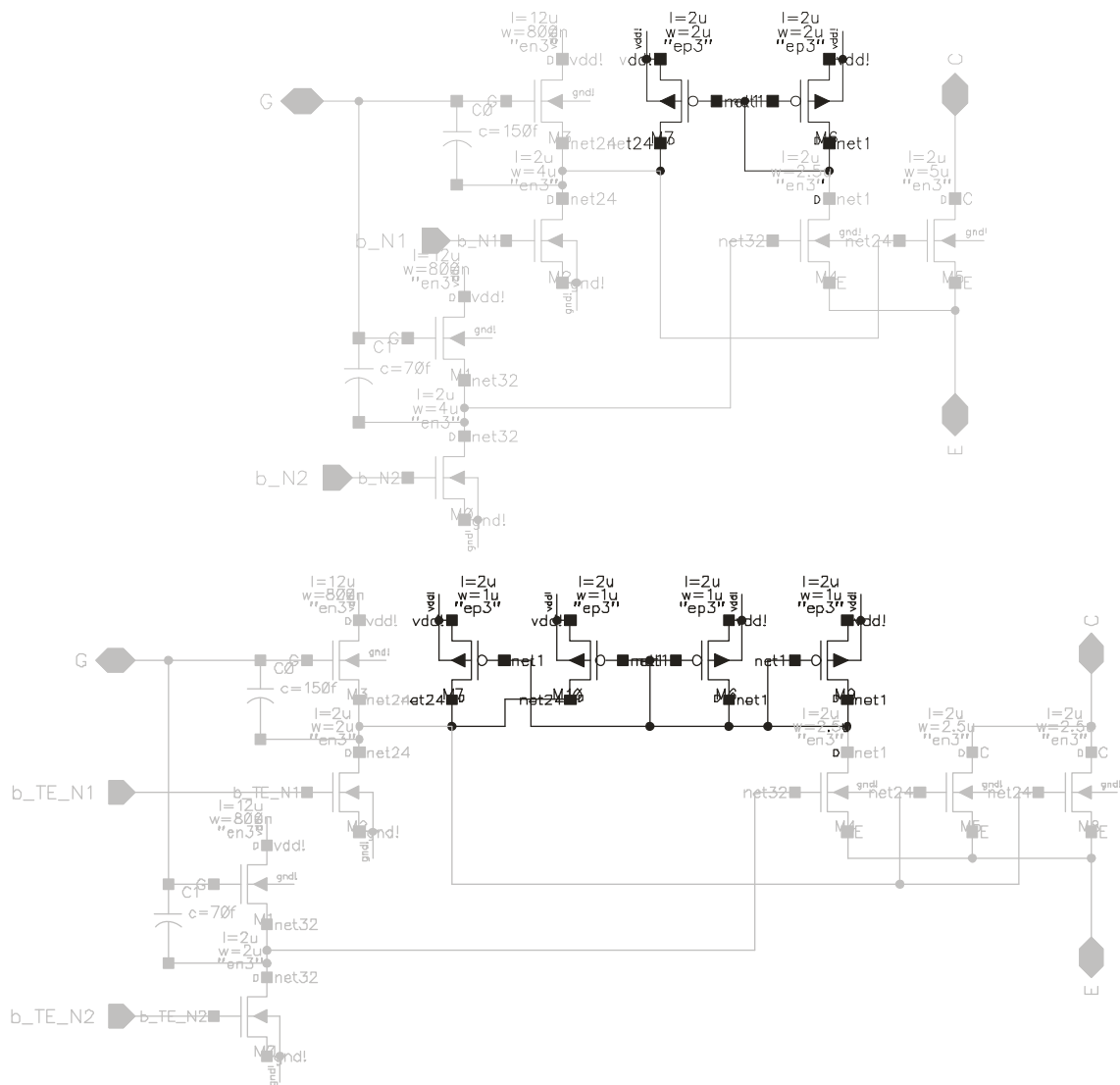


Fig. 5.9. Esquemes on es remarca els dos transistors pmos que es substitueixen pels quatre de dimensió més petita.

Un cop situats els transistors sols cal realitzar les interconnexions requerides de tal manera que presentin la millor simetria possible. En aquest cas (Fig. 5.10.) es pot observar com s'ha prolongat la línia de metall 2 sense ser estrictament necessaries únicament per tal de mantenir encara més aquesta simetria.

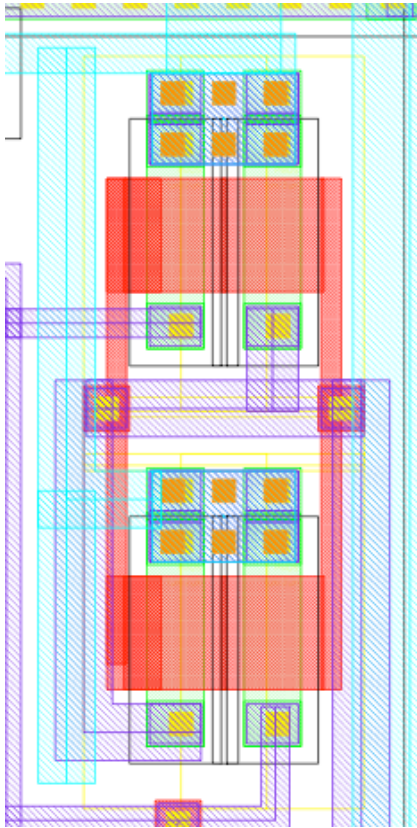


Fig. 5.10 Layout dels 4 transistors situats com una matriu 2x2, que substitueixen als dos transistors del disseny de  $W=L=2u$ .

### 5.3.2 Corona de pous P connectats a GND que permeten tan sols sortides mitjançant metall 2.

En aquest cas la minimització de les interferències no és amb el propi circuit sinó amb els circuits que es troben al seu voltant. Amb aquesta corona de pous el que s'aconsegueix és aïllar el circuit de possibles interferències externes. Això comporta que per treure les sortides d'aquesta corona cal utilitzar el metall 2 doncs es troba rodejat completament per metall 1 i n'impedeix les sortides.

### 5.3.3. Principis dels layouts analògics

Per tal de realitzar els layouts analògics es segueixen, a més de les ja comentades, les següents premises per el cas de la implementació dels transistors.

1. Utilitzar la mateixa geometria sempre que sigui possible en el conjunt dels transistors utilitzats en un mateix xip o com a mínim organitzar-los en grups que mantinguin constant part d'aquesta geometria.

2. Orientar tots els transistors possibles o com a mínim els que es troben propers entre ells en una mateixa direcció i sentit, doncs la presència de transistors orientats de maneres diverses en un mateix xip generen un augment molt considerable del “mismatch entre transistors”.
3. Mantenir el conjunt de tots els transistors de la manera més compacta possible, ja que els transistors són altament vulnerables als gradients de dopatge que es produeixen i que no es poden controlar perfectament en els xips, i així ,els efectes que poden produir-se són els mateixos per a tots els transistors.
4. Utilitzar sempre que sigui possible els “commound centroids”, ja que ofereixen una bona immunitat al mismatch i permeten compactar de manera molt interessant els layouts.
5. Evitar l'ús de transistors excessivament petits, és a dir, dimensions inferiors als 1µm ja que afavoreixen l'aparició de mismatch aleatoris.

#### Altres tècniques que no apliquem en aquests layouts

1. Situar sempre que sigui possible els transistors en zones que presentin un baixos gradients stress.
2. Situar-los sempre que sigui possible lluny de les zones de potència, doncs són sensibles a les interferències que els causa.
3. No creuar mitjançant línies de metall les zones actives dels transistors, per les interferències que li provocaria.
4. És preferible la utilització dels transistors NMOS abans que els PMOS, ja que, per les pròpies característiques a nivell físic presenten un millor comportament i també són més estables a nivell circuital.
5. Treballar sempre que sigui possible amb la màxima àrea activa que permeti el disseny dels transistors.

Un altre dels elements a tenir en compte durant la definició final del layout per l'element translineal és el gruix que ha de tenir cada una de les línies. Es pot observar que les línies destinades a l'alimentació i les que van connectades a massa presenten un major gruix doncs seran les que suporten un major corrent en el circuit. En el cas de línies

que portaran poc corrent (o quasi nul), per exemple a les portes dels transistors, presenten amplades mínimes, establides per les normes de disseny corresponents a la tecnologia utilitzada.

#### 5.4. Layout de l'ET

A partir d'aquest moment s'inicia el procés d'aplicació de tot el que s'ha comentat per tal de conformar el layout de l'element translineal. El primer pas a realitzar és dividir el layout en dues zones clarament diferenciades, la que ocuparan els transistors i la destinada a les capacitats. Això és deu a què d'aquesta manera és redueixen considerablement les interferències. També es té en compte que la distribució dels transistors sigui el més compacta possible i que permeti que les línies que realitzen les interconnexions tinguin els recorreguts més curts possibles. El segon pas serà dissenyar les capacitats de manera adequada tal com ja s'ha comentat. Es pot observar que la major part del layout és ocupat per aquestes capacitats. El resultat final d'aquesta implementació queda visualitzada de la següent manera (Fig. 5.11.):

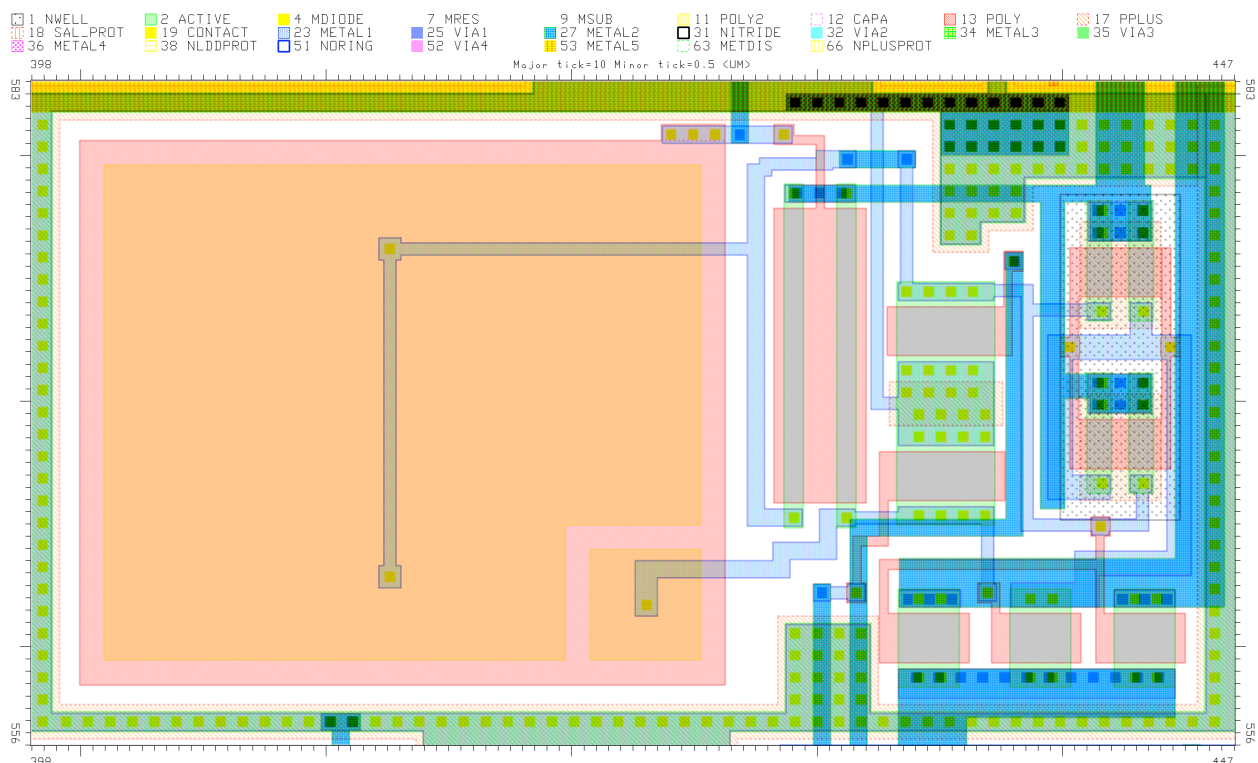


Fig. 5.11. Layout de l'element translineal complet. Es pot observar clarament com la majoria de l'àrea està ocupada per les dues capacitats.



Es podria identificar sense moltes dificultats cada un dels elements que presentàvem en el circuit. Una mica més difícil resulta d'identificar-los en la següent recreació en 3D del fragment del layout corresponent a l'ET (Fig. 5.12.), on es pot visualitzar clarament l'organització en diferents capes superposades entre elles i les vies d'interconnexió que es creen entre elles. També s'adjunta una microfotografia (Fig. 5.13.) del mateix element translineal que fa encara més visible com la capacitat ocupa la majoria de l'espai.

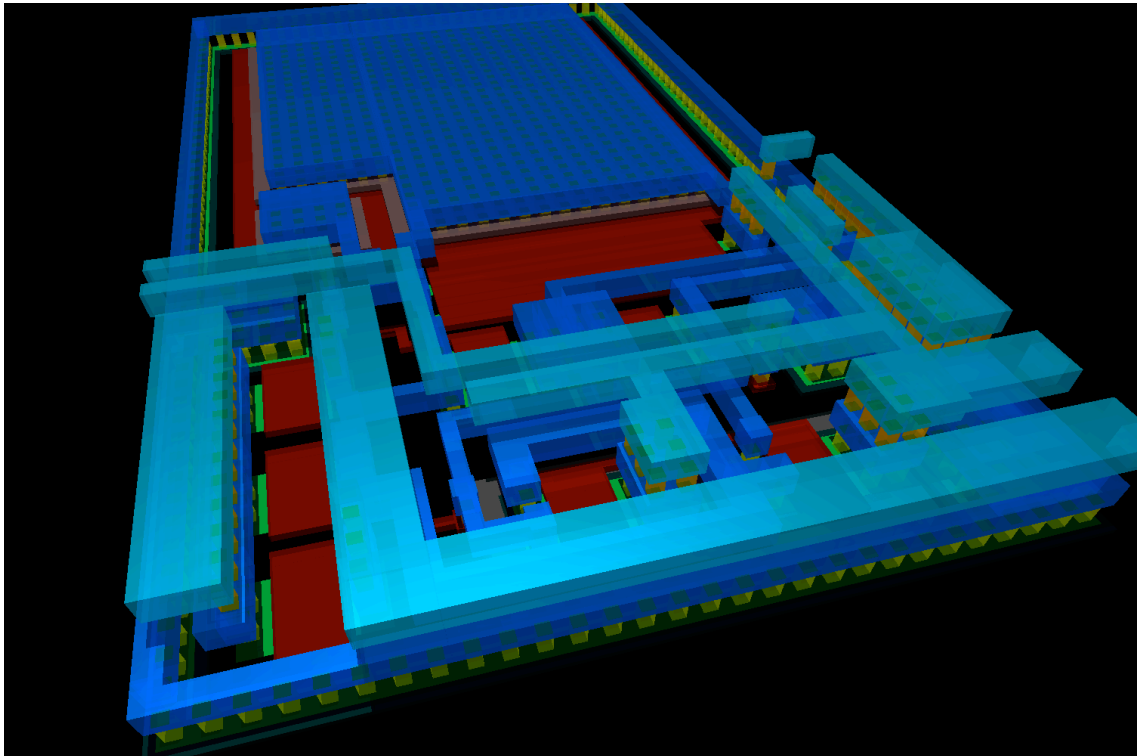


Fig. 5.12. Simulació en 3 dimensions del layout corresponent a un element translineal, que ens permet observar la superposició de les diverses capes i els elements d'interconnexió entre elles.

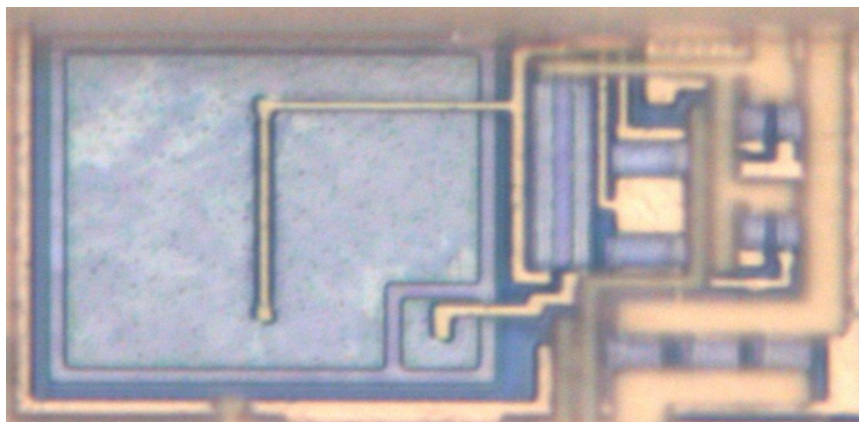


Fig. 5.13. Microfotografia de l'element translineal, s'hi observa clarament com la majoria de l'àrea és ocupada per les dues capacitats.



## 5.5. Altres layouts

L'anterior layout correspon a un únic element translineal. En el xip definitiu n'apareixeran quatre conjuntament amb altres fragments que corresponen a etapes de control del mateix.

### 5.5.1. Registre de desplaçament de 4 bits (disseny layout digital).

Un dels elements necessaris per la posada en funcionament del sistema complet és un bloc responsable de la calibració dels corrents (Fig 5.14.) que circulen pels diferents elements translineals que conformen el conjunt de la interfície. El disseny pensat per fer-ho requereix d'aquest registre de desplaçament, que cal implementar ocupant el mínim espai possible. Aquesta limitació d'espai és l'objectiu principal en aquest disseny.

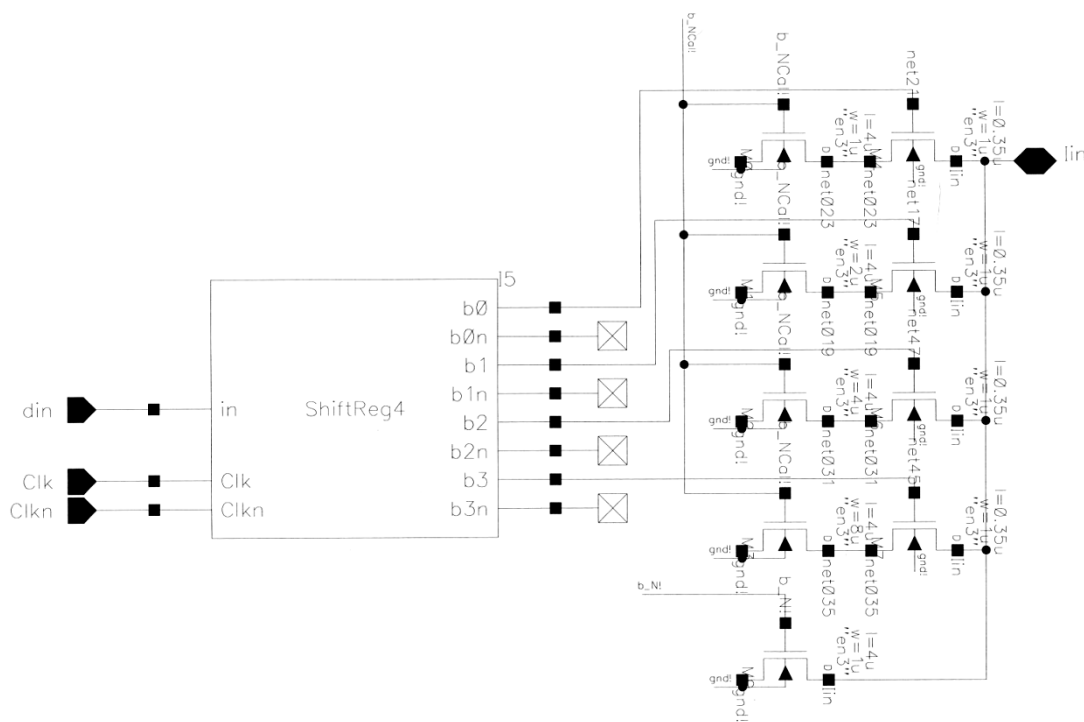


Fig. 5.14. Representació del circuit on situarem el registre de desplaçament

El procés de disseny consisteix en la simplificació del registre de desplaçament (ShiftReg4) en els seus elements constitutius, per tal que es pugui realitzar el disseny del layout de l'element més simple i unir-los tots junts per realitzar el disseny del registre de desplaçament complet.

Iniciem aquest procés de descomposició dividint el registre de desplaçament amb els seus quatre blocs D (Delays), quedant l'estructura com presenta la figura següent (Fig. 5. 15.).

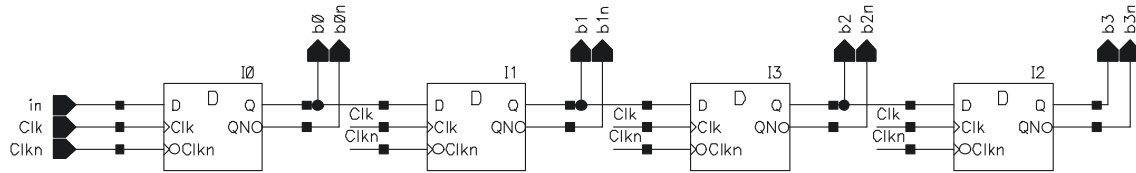


Fig. 5.15. descomposició del registre en els corresponents blocs D.

A continuació, es descomposa cada un dels blocs D en els seus subblocs anomenants Latch tal com s'observa a la següent figura (Fig. 5.16.):

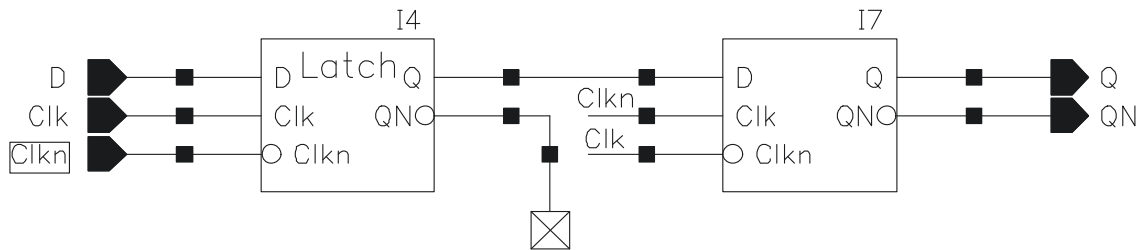


Fig. 5.16. Descomposició en blocs Latch de l'element D

Finalment aquests elements Latch es descomponen en els seus transistors (Fig. 5.17.).

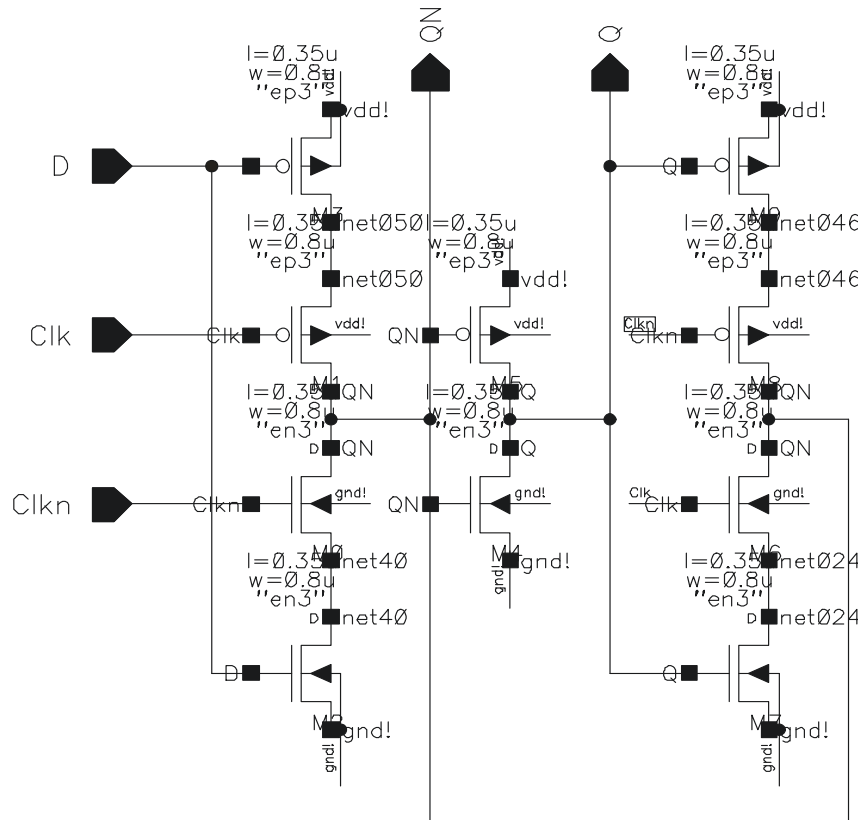


Fig. 5.17. Descomposició del Latch amb els transistors que el conformen.

Un cop s'ha aconseguit aquesta descomposició en transistors es comença a implementar el layout i s'ha de procurar, tal com ja s'ha comentat, que ocupi el mínim espai possible. La següent figura (Fig. 5.18.) correspon a la implementació d'un bloc D complet.

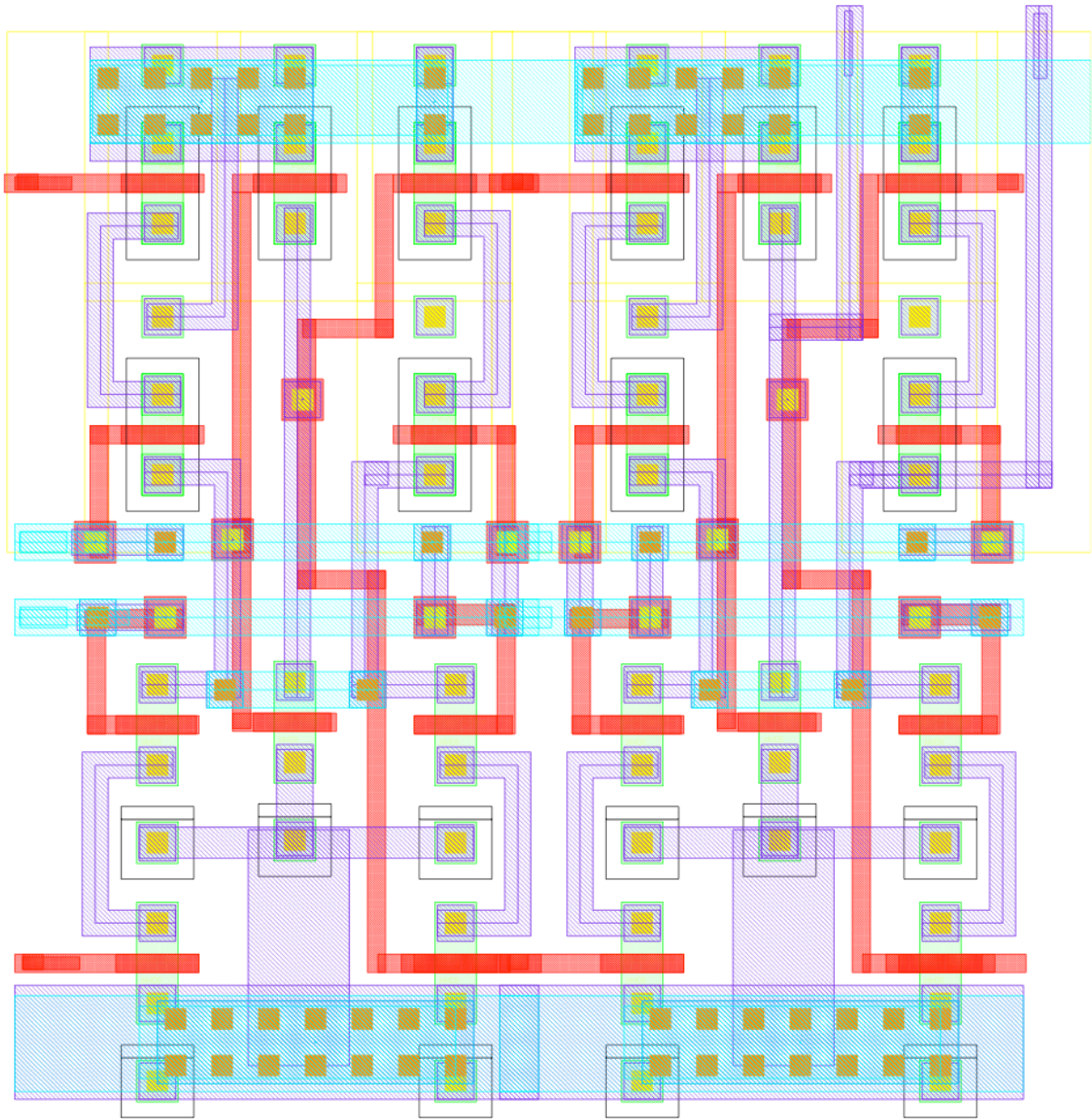


Fig. 5.18 Layout digital corresponent a un bloc D

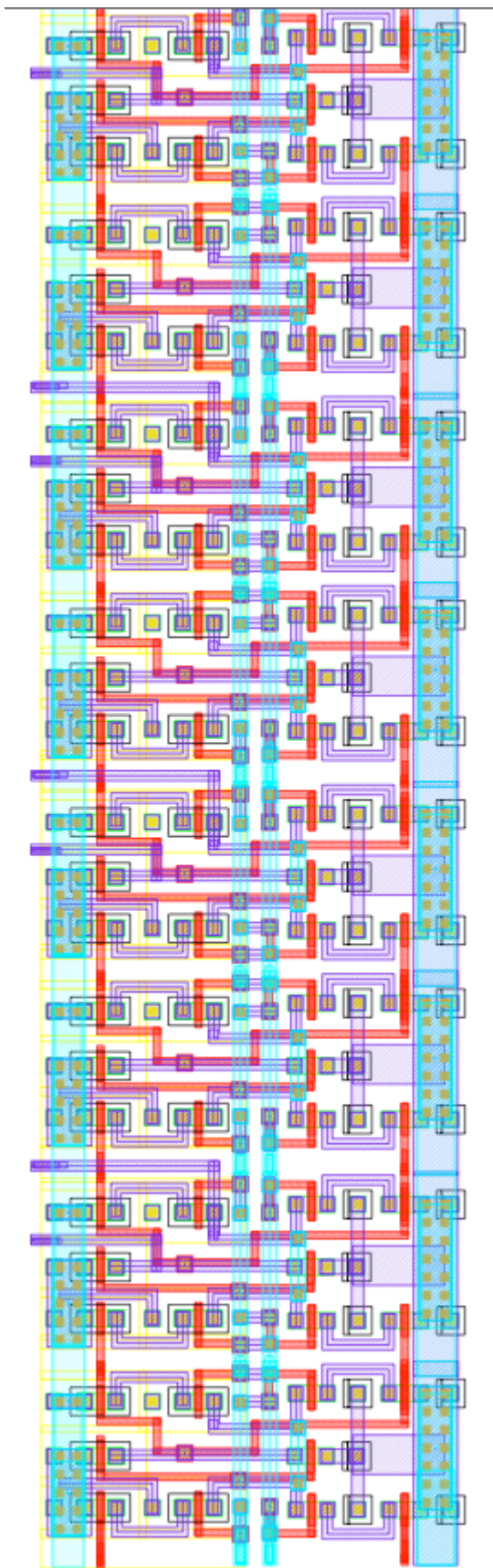


Fig. 5.19. Layout complet del registre de desplaçament

El resultat final és la unió de quatre elements com aquest donant com a resultat el següent layout del registre de desplaçament (Fig. 5.19).

Per mostrar el correcte funcionament del sistema s'ha simulat el registre de desplaçament (Fig. 5.20.). S'observa com el pols inicial /b0, es va desplaçant a cop de rellotge (/net27) d'una sortida a una altre (/b1, /b2, /b3).

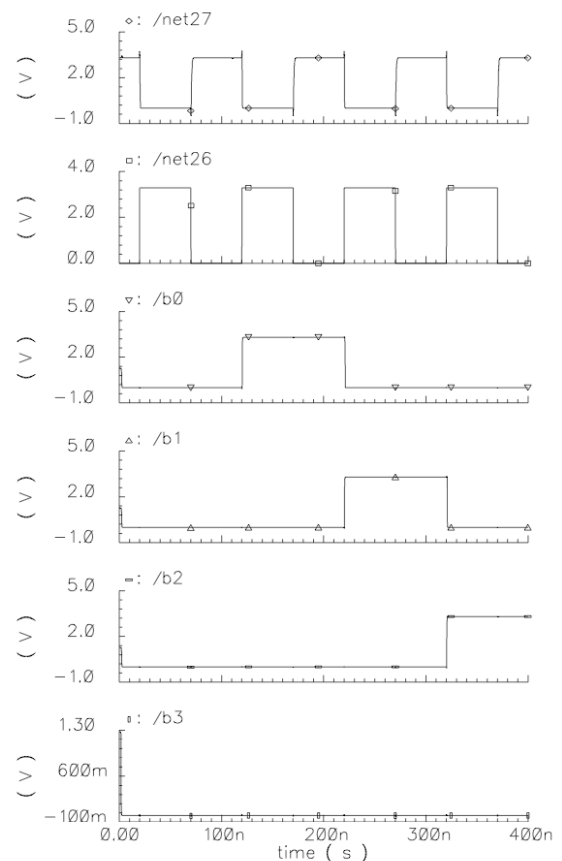


Fig. 5.20. Simulació del comportament del registre de desplaçament observant el senyal en cada una de les seves sortides. S'observa com el pols a l'entrada es va desplaçant d'una sortida a l'altre (/b0, /b1, /b2, /b3) a ritme del clock (/net27).



### 5.5.2. Buffers d'entrada i sortida (E/S)

Un altre element que cal tenir dissenyat per la implementació del xip, són uns buffers d'entrada i sortida definit pel següent circuit a implementar. Realitza funcions de porta de pas. En aquest cas s'aprofita la possibilitat de cargolar els transistors, per implementar transistors de dimensions considerables amb un mínim espai (Fig. 5.21.).

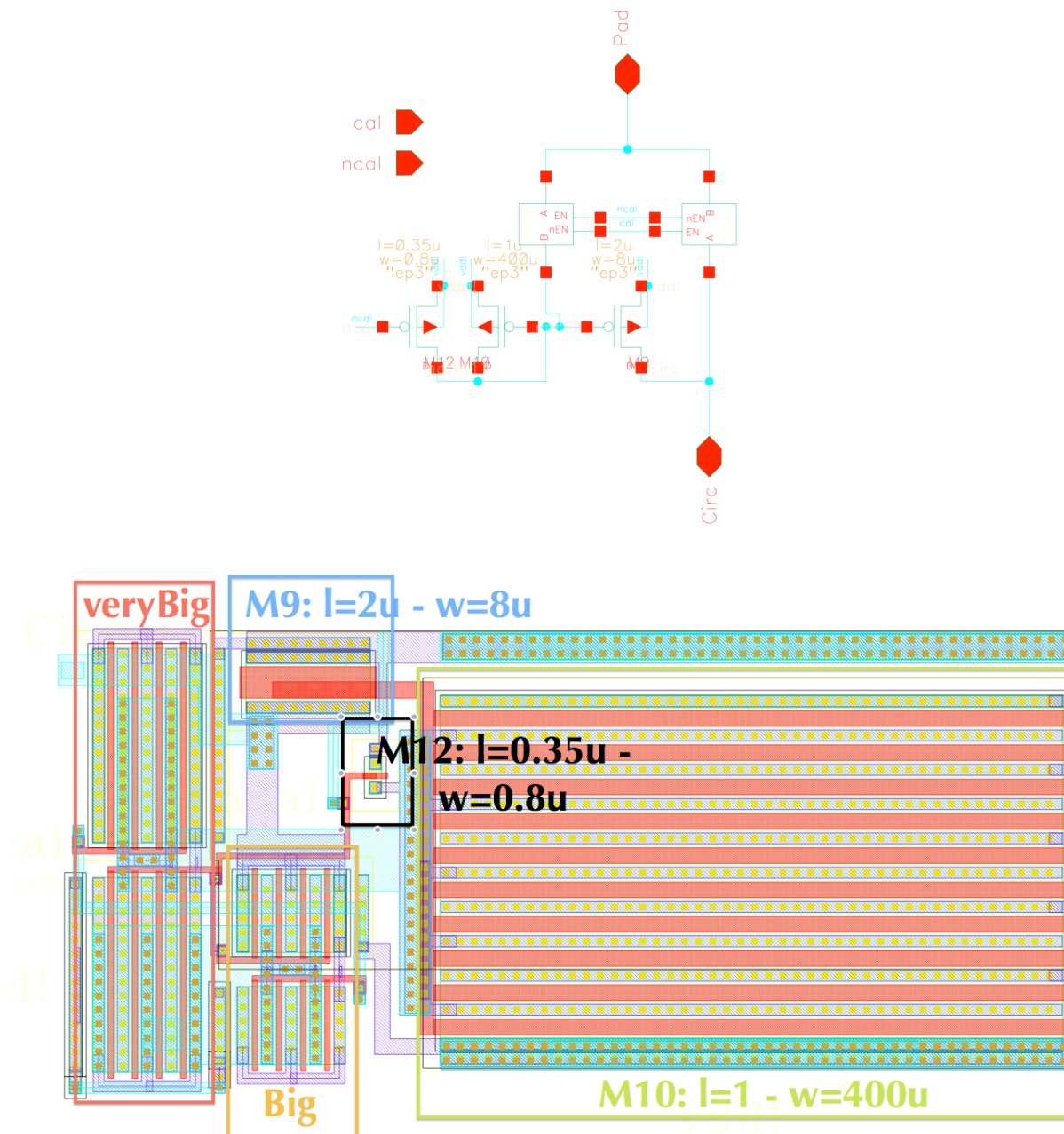


Fig. 5.21. esquema i layout corresponent a l'element anomenat Ireduct\_0Thru, que correspon a un dels buffers d'entrada que alimenten els elements translineals.

## 5.6. Layout Complet

El layout complet està format per 4 elements translineals formant un llaç (Fig. 5.23.), de la circuiteria de control associada, i del circuit estimador de la capacitat/distància entre les armadures dels actuadors electrostàtics (Fig. 5.22.). El xip complet ocupa un espai de 2mmx1mm. Es pot observar que l'espai ocupat pel llaç translineal és molt petit comparat amb el layout complet. A part dels elements comentats en aquest projecte trobem el disseny d'uns actuadors electrostàtics CMOS, concretament a tres voladissos i dues membranes.

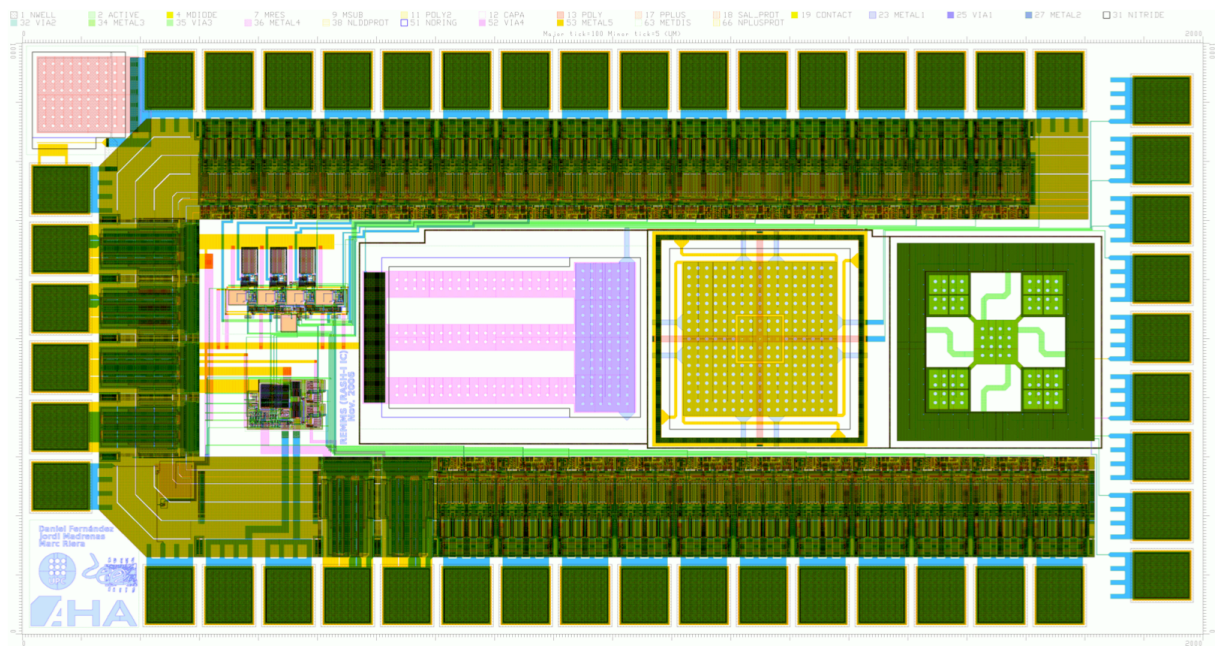


Fig. 5.22. Layout del circuit complet. Es pot identificar els 4 elements translineals i els diferents elements comentats en aquest PFC.

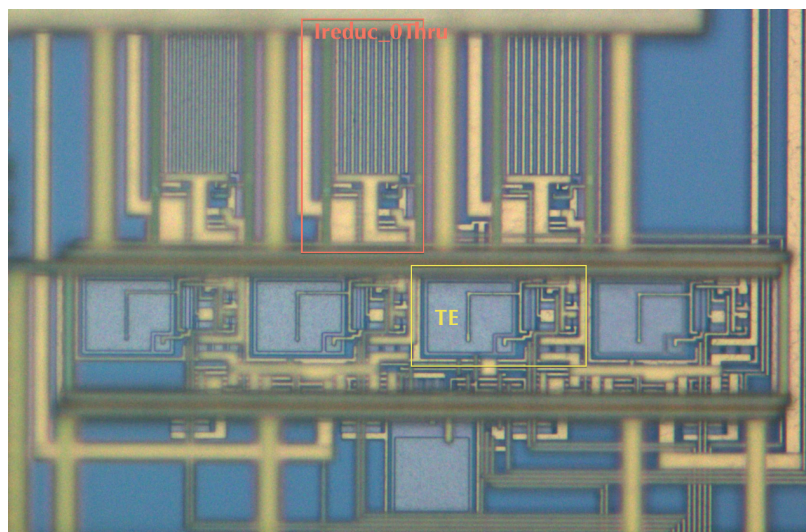


Fig. 5.23.. Microfotografia dels 4 layouts que apareixen al xip complet, identificant els ET i també la porta de pas Ireduc\_0Thru.

## 6. Conclusions

Durant aquest projecte final de carrera s'ha estudiat partint del mètode de control per actuadors electrostàtics MEMS proposat per Daniel Fernández i Jordi Madrenas en [1] com podia ser implementat el diagrama de blocs que presenta aprofitant el principi de translinealitat. Per fer-ho, s'ha estudiat el desenvolupament d'un element translineal des dels seus fonaments teòrics fins a la seva implementació en un layout concret. I finalment s'ha utilitzar en els dissenys dels diferents operadors matemàtics bàsics desenvolupat aprofitant els llaços translineals.

Per tal de realitzar aquest projecte s'han realitzat les següents tasques:

- Anàlisi dels principis de funcionament dels actuadors electrostàtics i fonaments del Mètode de control per actuadors electrostàtics MEMS.
- Disseny i simulació dels operadors bàsics aprofitant el principi de translinealitat. (producte, divisió, arrel quadrada i combinacions d'aquests, ...)
- Estudi dels fonaments de l'element translineal d'ample marge dinàmic.
- Optimització dels paràmetres pel disseny de l'ET mitjançant les diferents simulacions paramètriques tant en DC com en AC
- Layout analògic de ET i altres circuits associats.
- Layouts digital.

Les principals conclusions a les quals s'ha arribat és que el llaç d'ET ha respost a les expectatives creades, permetent definir els operadors matemàtics bàsics (suma, producte, divisió, arrel quadrada, ...) utilitzant un llaç format per sols quatre elements translineals i oferint un funcionament robust.

Pel que fa al disseny de l'ET s'ha aconseguit un element amb la característica dels transistors bipolars amb tecnologia CMOS implementar-lo amb unes dimensions molt reduïdes que permeten la seva utilització en circuits més complexos que els estudiats en aquest PFC.

## 7. Bibliografia

- [1] D. Fernandez, J. Madrenas y J. Cosp. "Position, damping and inertia control of parallel-plate electrostatic actuators". En Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on. 2008, páginas 2118–2121.
- [2] Daniel Fernández, Jordi Madrenas, Manuel Domínguez, Joan Pons y Jordi Ricart. "Pulse-Drive and Capacitive Measurement Circuit For MEMS Electrostatic Actuators". Analog Integrated Circuits and Signal Processing. doi:10.1007/s10470-008-9166-9.
- [3] B. A. Minch, "Analysis and Synthesis of Static Translinear Circuits". School of Electrical and Computer Engineering, Cornell University, Ithaca, New York, Tech. Rep., 2000.
- [4] D. Fernández y J. Madrenas. "Método y Circuito para Implementar un Elemento Translineal con Tecnología CMOS". 2006 October, 25. Patente provisional P200602780.
- [5] Daniel Fernández y Jordi Madrenas. "A MOSFET-Based, Wide Dynamic Range, Translinear Element". IEEE Transactions on Circuits and Systems II (TCAS-II). Vol. 55, n 11, 2008, pp. 1124 - 1128
- [6] Alan Hastings "The Art of Analog Layout" 2001 Prentice Hall